

# Технология периферийного сканирования

## Методы тестирования смонтированных плат

- АОИ
- Рентген
- Внутрисхемный тест с использованием адаптеров
- Внутрисхемный тест с использованием подвижных пробников
- **Периферийное сканирование**
  
- Функциональный тест

Неэлектрические методы

Структурные  
Методы  
тестирования



## Функциональный тест

- Не дает указания на дефект (влияет на время выпуска готовой продукции, кол-во брака)
- Неизвестно тестовое покрытие (страдает общее качество выпускаемой продукции)
- Не решает проблем с загрузкой тестовой прошивки в изделия (увеличивается кол-во брака, время выпуска) для цифровых изделий

## Структурный тест (электрический)

- Дает локализацию дефектов сборки (тип, название цепи, компонента, пина)
- Известно тестовое покрытие (количество цепей, паяных соединений, компонентов)
- Тестирует даже при невозможности загрузить ПО в тестируемые изделия

## Современные методы электроконтроля

# ICT (Внутрисхемный Тест)



**Ложе  
гвоздей**

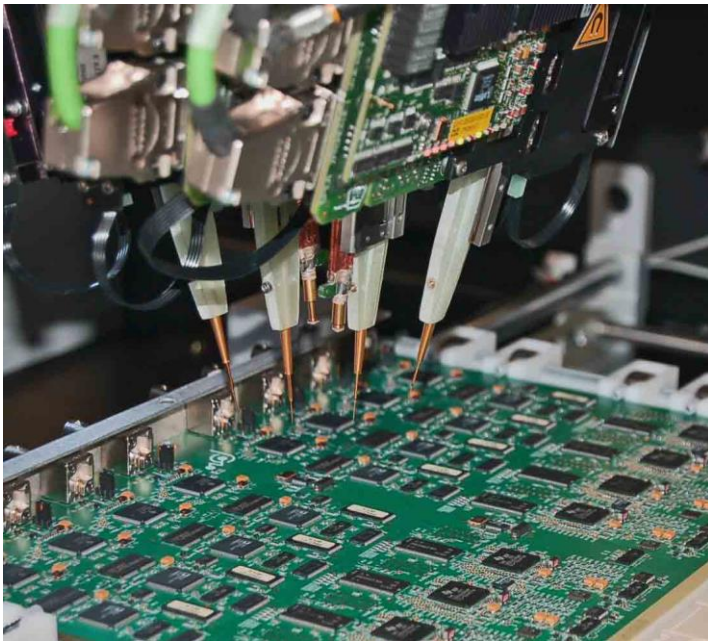


We *are* boundary-scan.®

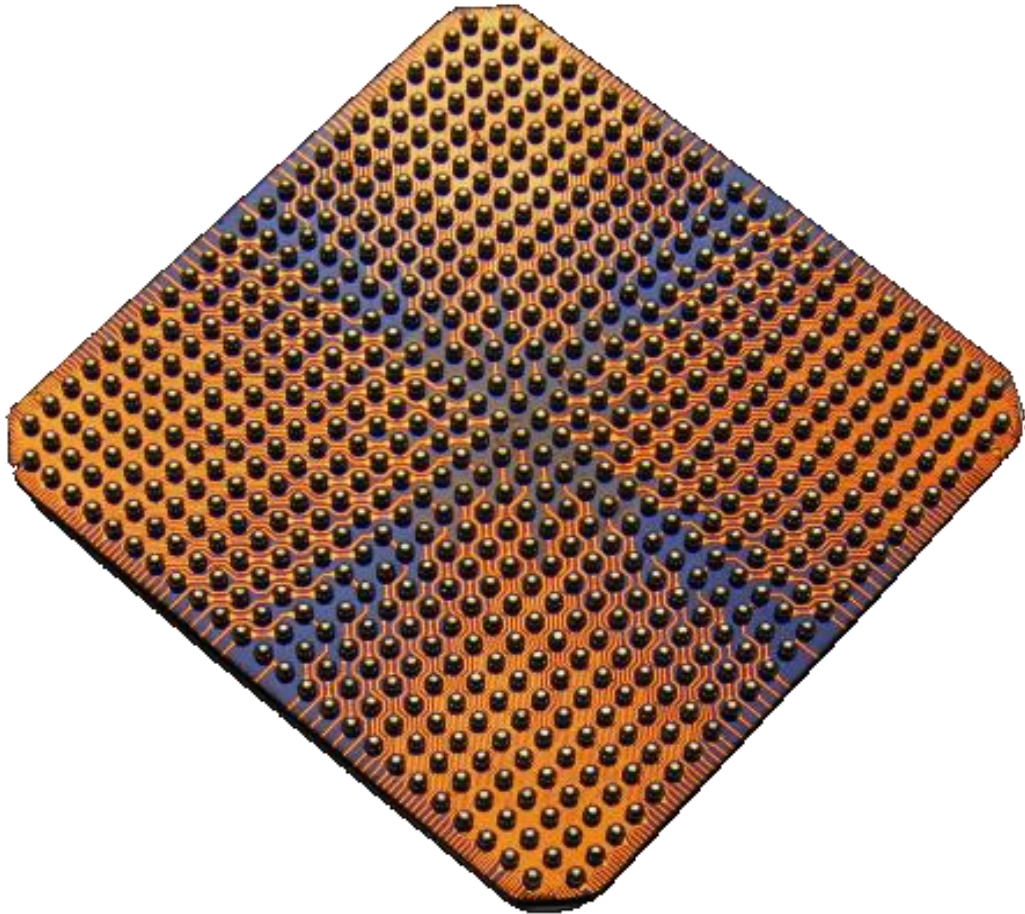


Современные методы электроконтроля

# Flying Probe (Летающие Пробники)



## Современные сложные ИМС:

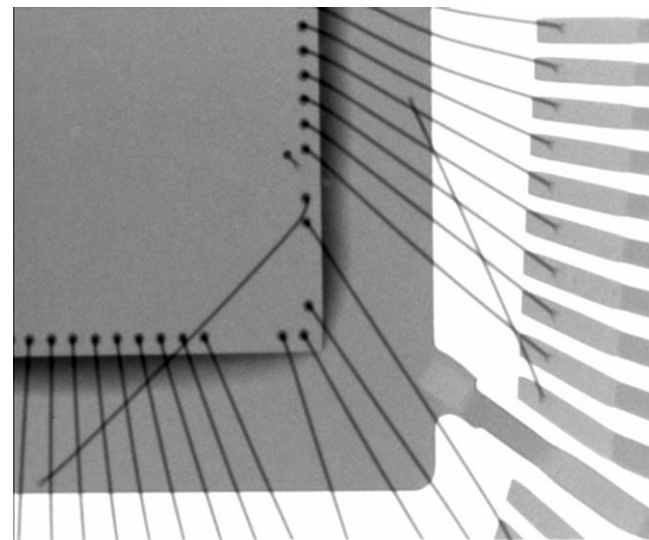
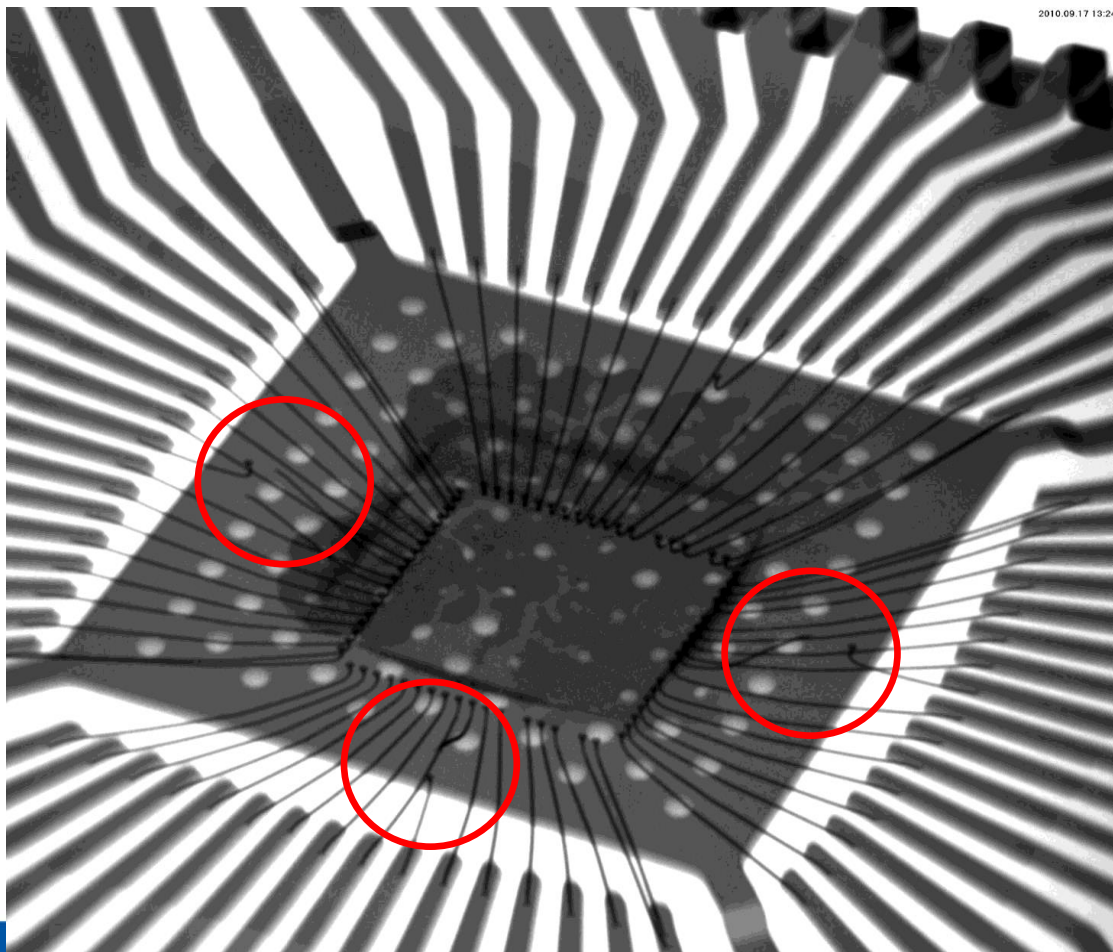


- Контрафакт
- Повреждение статикой
- Механические повреждения
- Повреждения при пайке
- Непропай
- Короткие замыкания
- ...



## Компоненты:

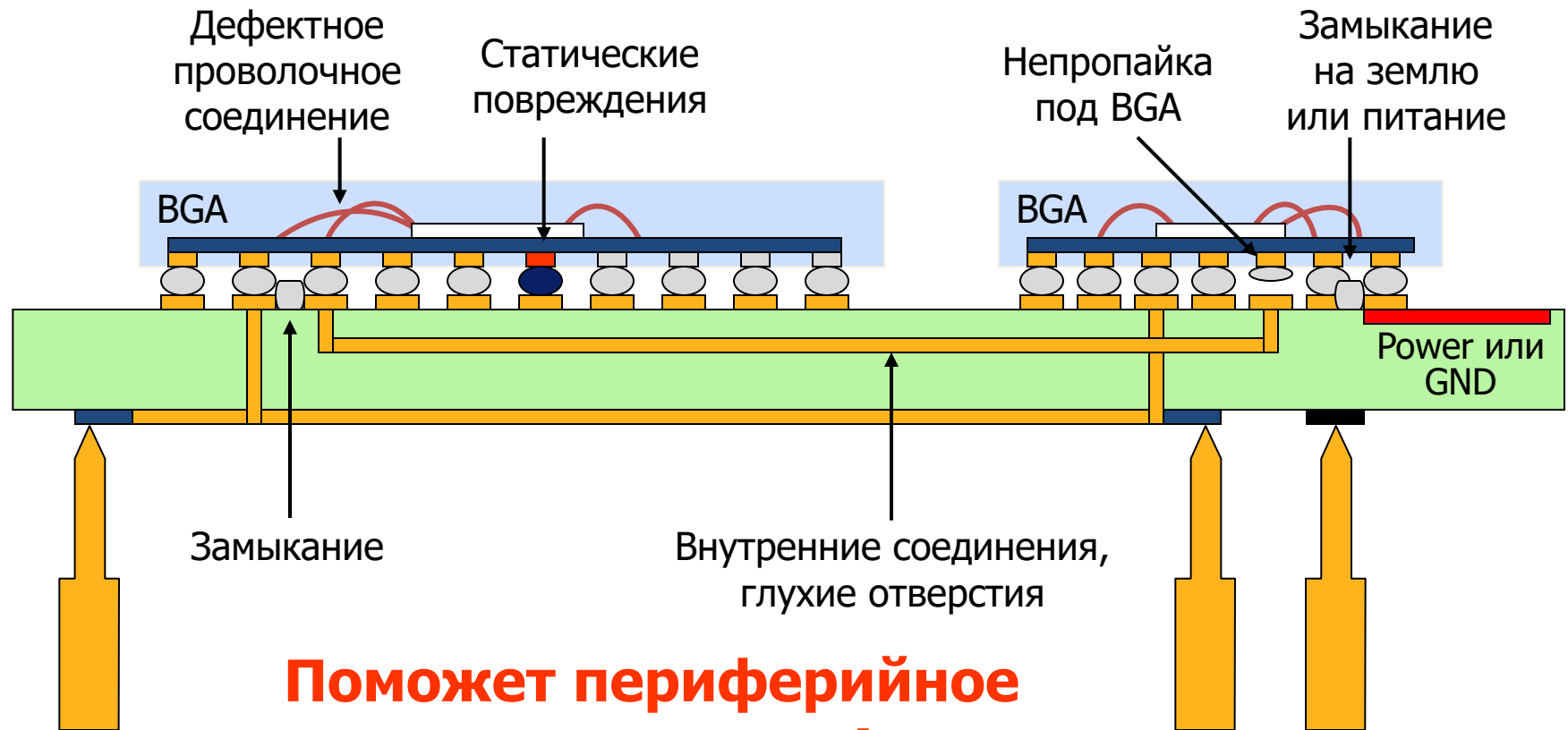
Проблемы могут быть не только в пайке... Желательно проводить тестирование не только связей ПП, но и внутри компонентов.





## Появление BGA, усложнение изделий...

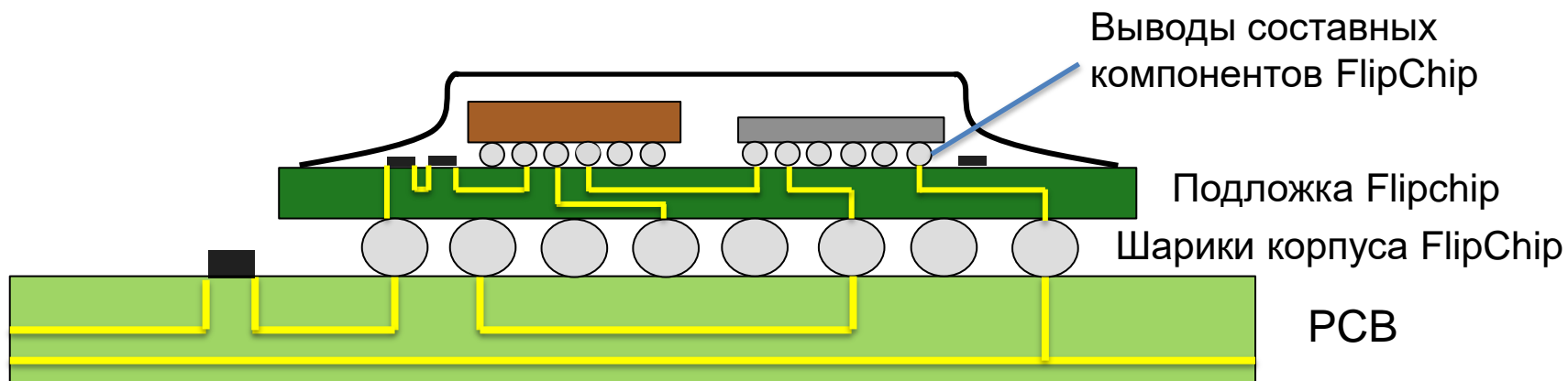
Внутрисхемный тестер не может определить следующие дефекты:



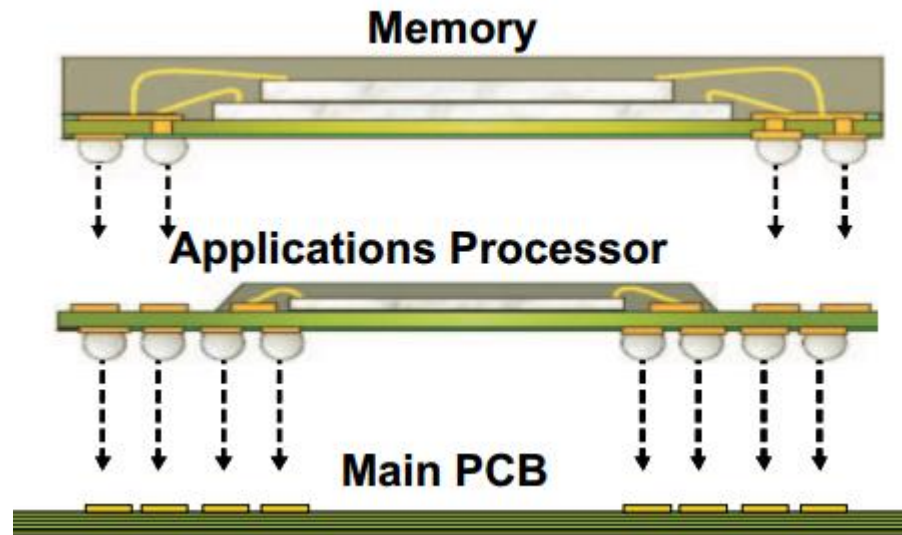
**Поможет периферийное сканирование!**

## Flipchip (Система в Корпусе)

- Новая область для появления нежелательных дефектов.
- Проблемы с дефектами могут быть как у производителей самих микросхем, так и их потребителей.



## Package on Package (PoP)



Одна микросхема (память) устанавливается на контактные площадки, расположенные наверху корпуса второй (процессор). Процессор имеет паяные соединения и сверху и снизу (!)

Желательно ли проводить тестирование такой конструкции?

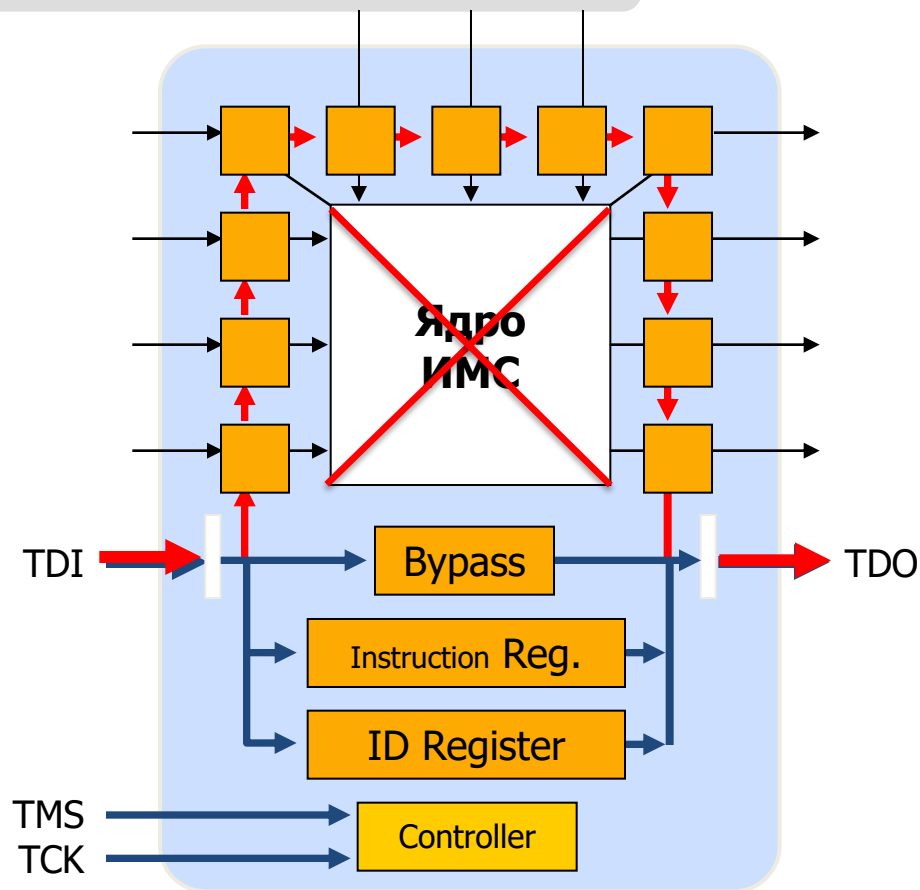


## IEEE 1149.1 std.

- Разработан специально для решения проблем тестового доступа, присущих цифровым изделиям
- Для полноценного тестирования плат требуется всего один или несколько краевых разъемов (разъем может быть заменен на группу контактных площадок)
- Тестирование производится по 4-х проводному (опционально может быть 5 тестовых сигналов) интерфейсу
- Для реализации тестирования хотя бы одна ИМС на плате должна соответствовать стандарту IEEE 1149.1

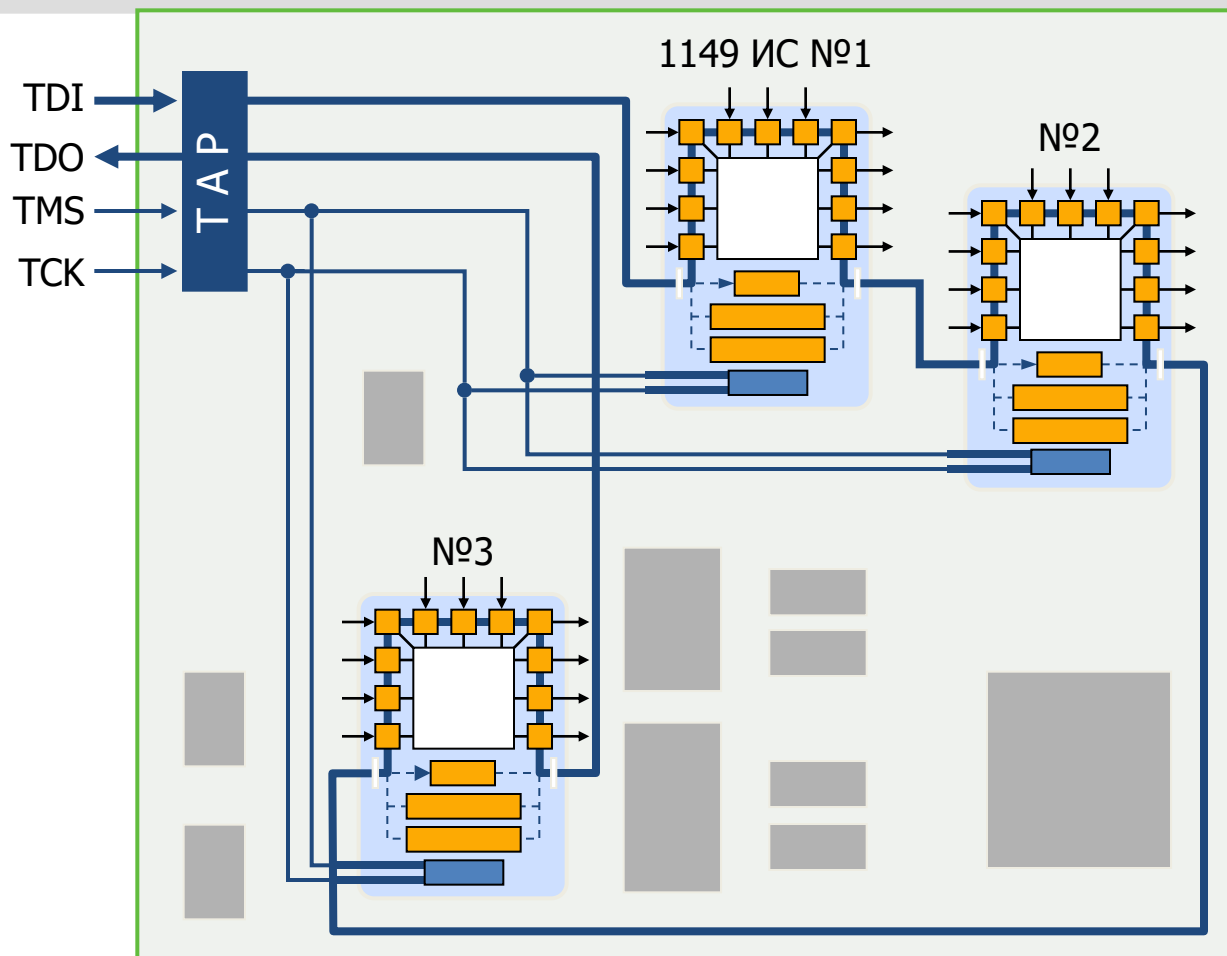
## Что такое стандарт IEEE 1149.1?

- Стандарт, утвержденный IEEE в 1990 году
- Добавляются 4 (или 5) контактов, образующих порт тестового доступа (Test Access Port, TAP)
- Дополнительная логика внутри ИС: ячейки сканирования, контроллер и регистры
- Информация с внешнего источника может быть загружена в микросхему через TDI...
- ... и считана с контакта TDO



**Каждый ввод/вывод становится тестовой точкой**

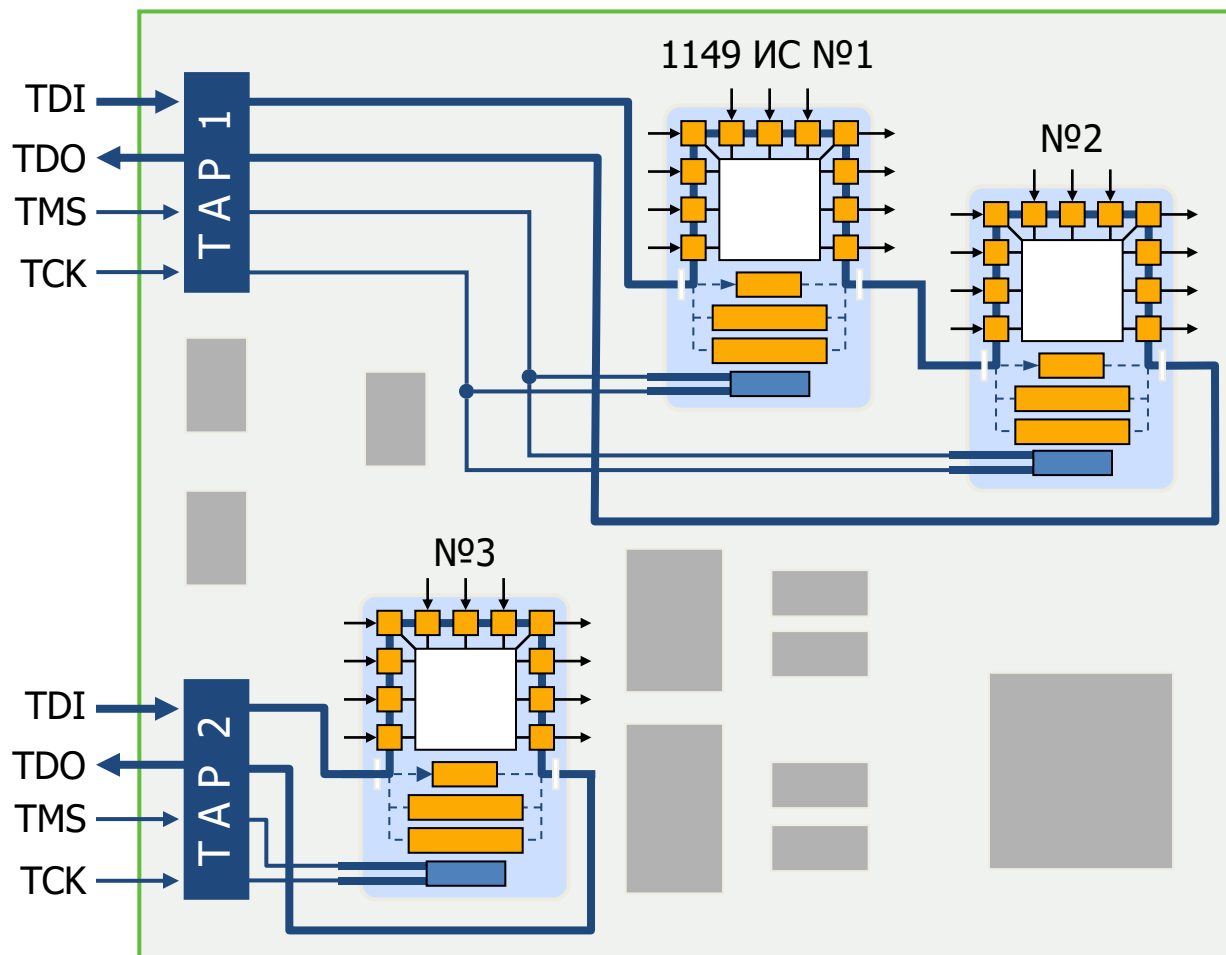
## Применение JTAG на плате



- Пример платы с одним каналом сканирования
- Обычно только часть микросхем поддерживают IEEE 1149.1



## Разбивка на два канала сканирования



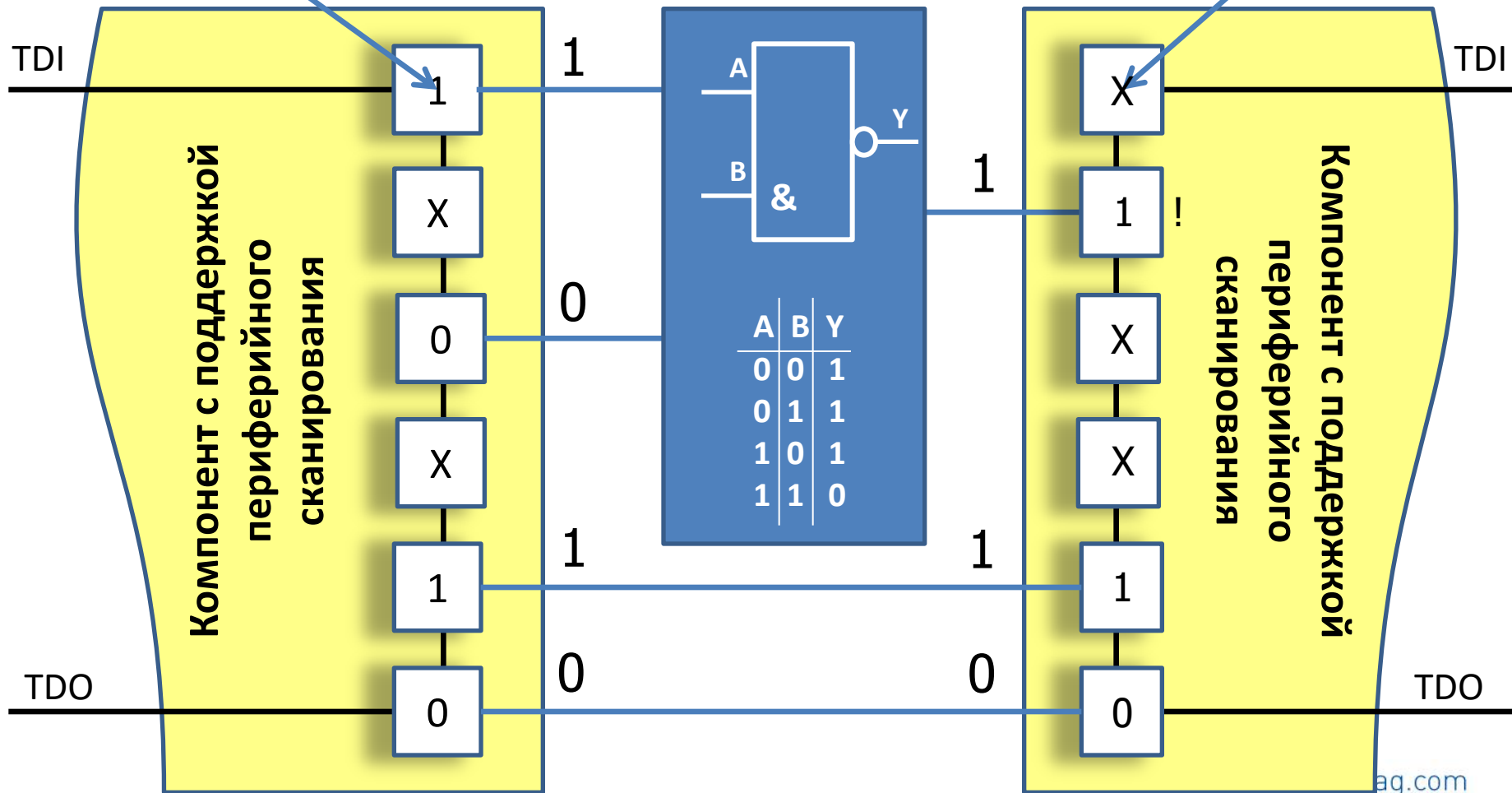
- Каналы сканируются одновременно для увеличения производительности
- Один контроллер ПС обеспечивает доступ сразу к 4 каналам
- Обеспечивается гибкость при проектировании изделия

We *are* boundary-scan.\*

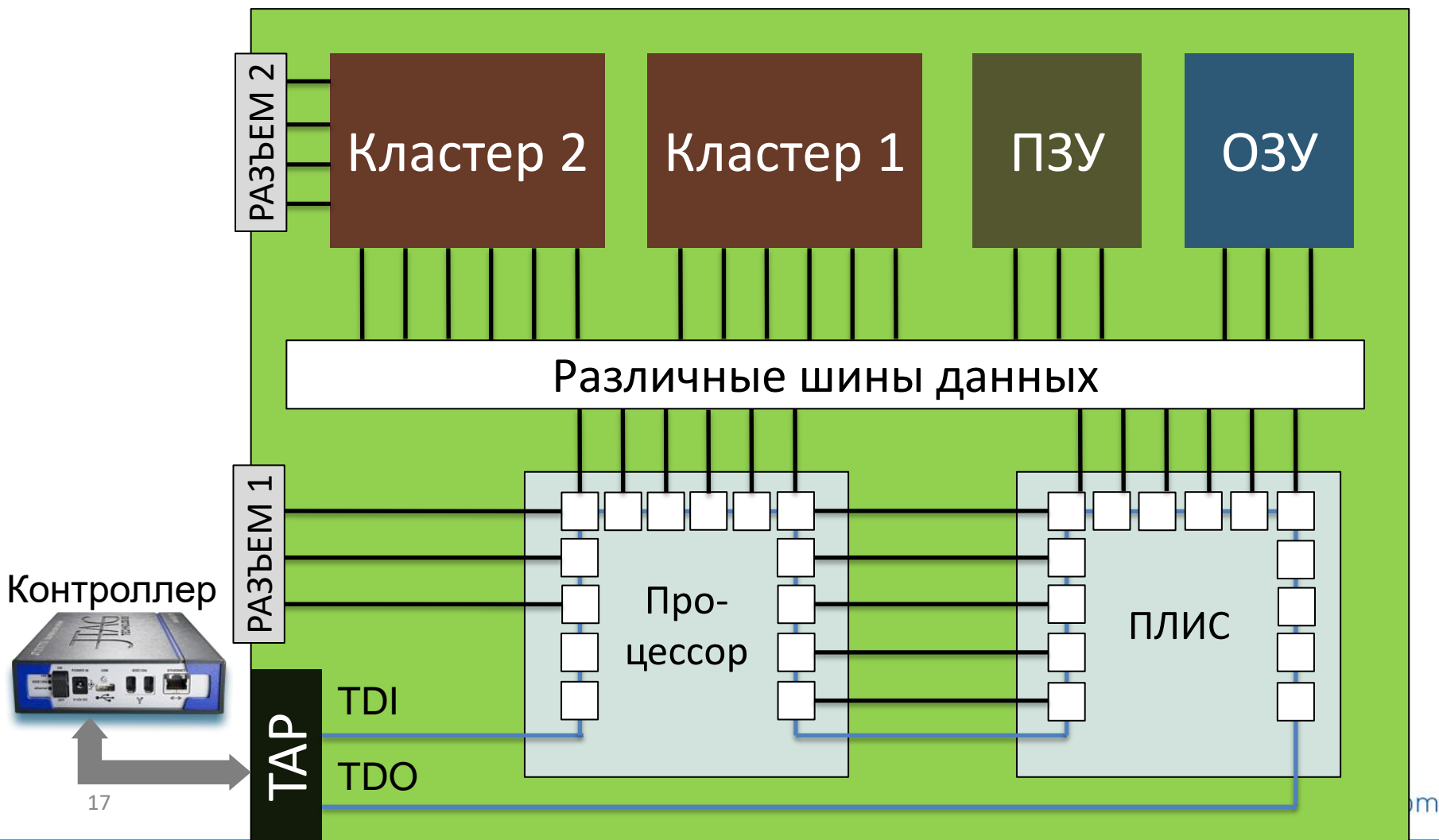
Ячейки  
Периферийного  
сканирования

# Тестирование

Ячейки  
Периферийного  
сканирования

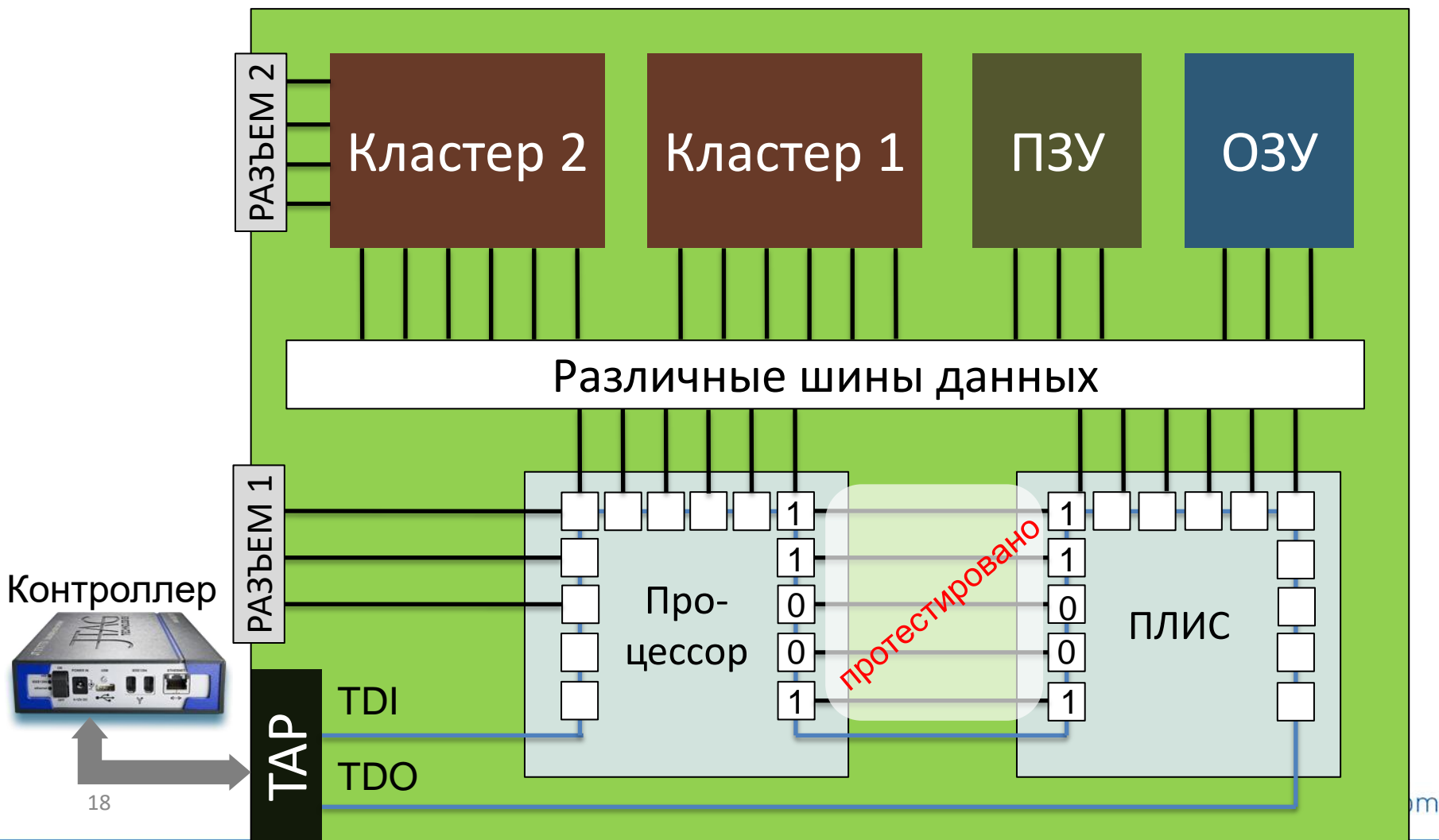


# Цифровая плата средней сложности



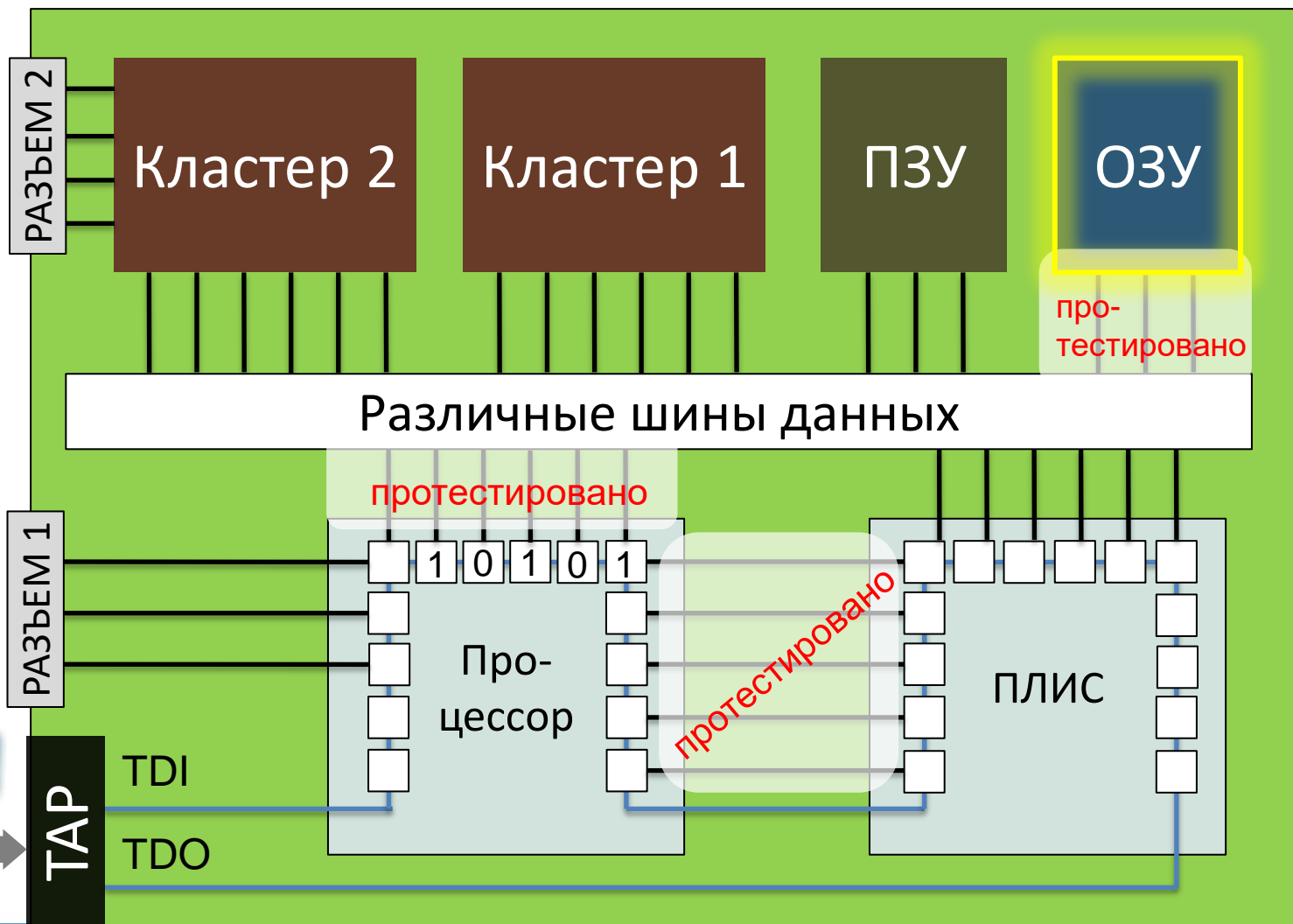


# Тестирование межсоединений



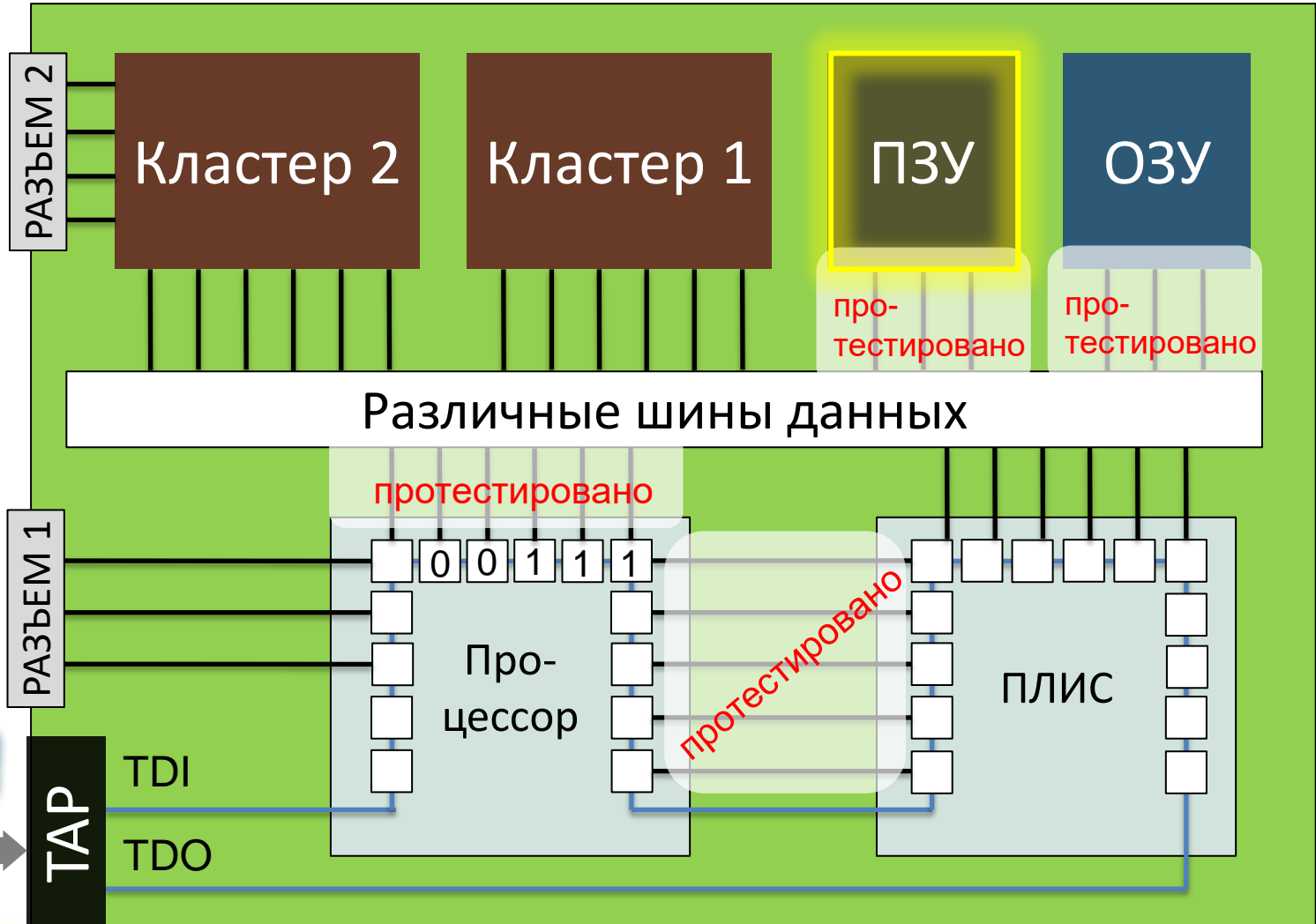
# Тестирование памяти ОЗУ

- SRAM
- SDRAM
- DDR
- DDR2
- DDR3
- DDR4
- FRAM
- ...



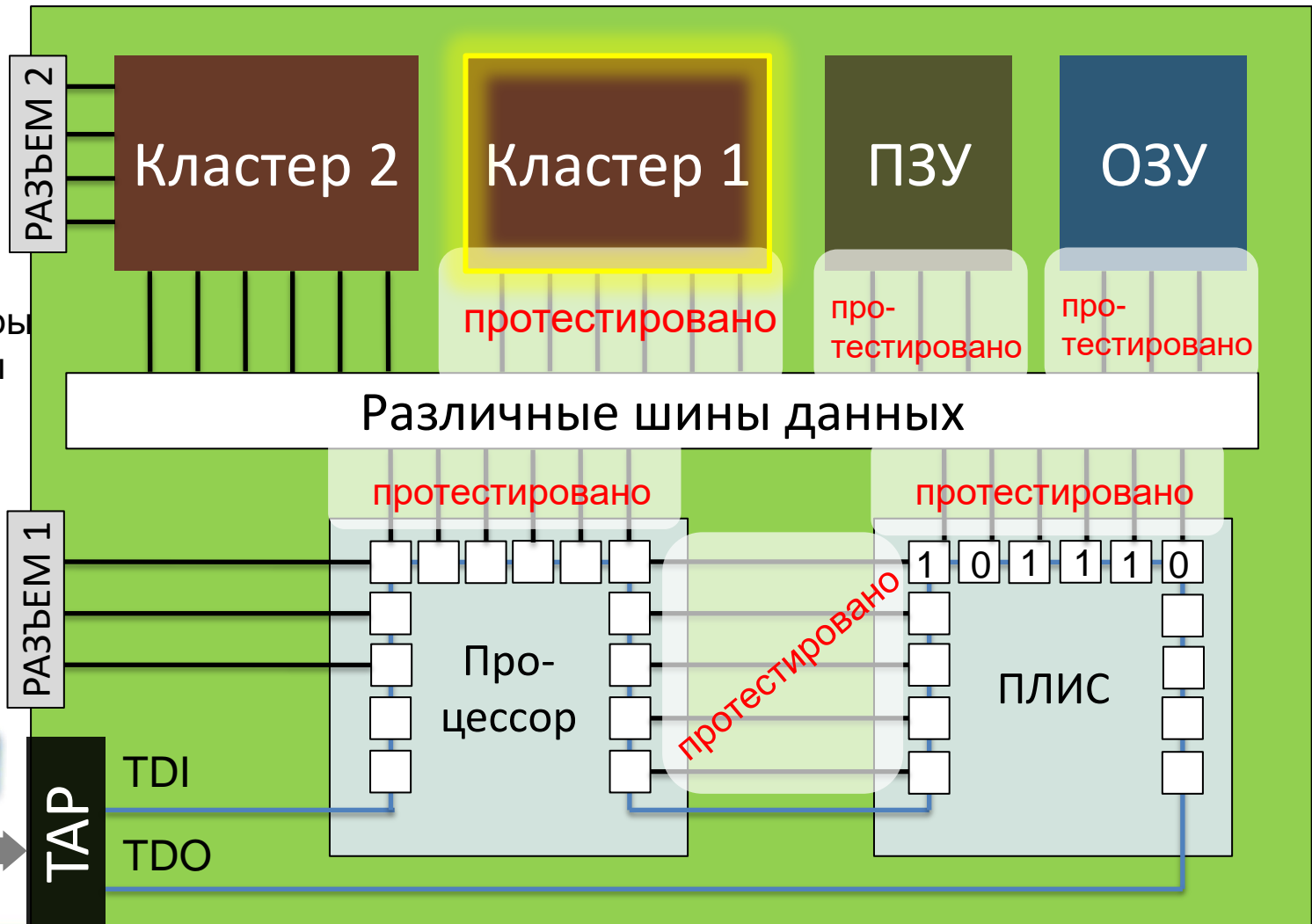
# Тестирование памяти ПЗУ

- NOR
- NAND
- FRAM
- ...

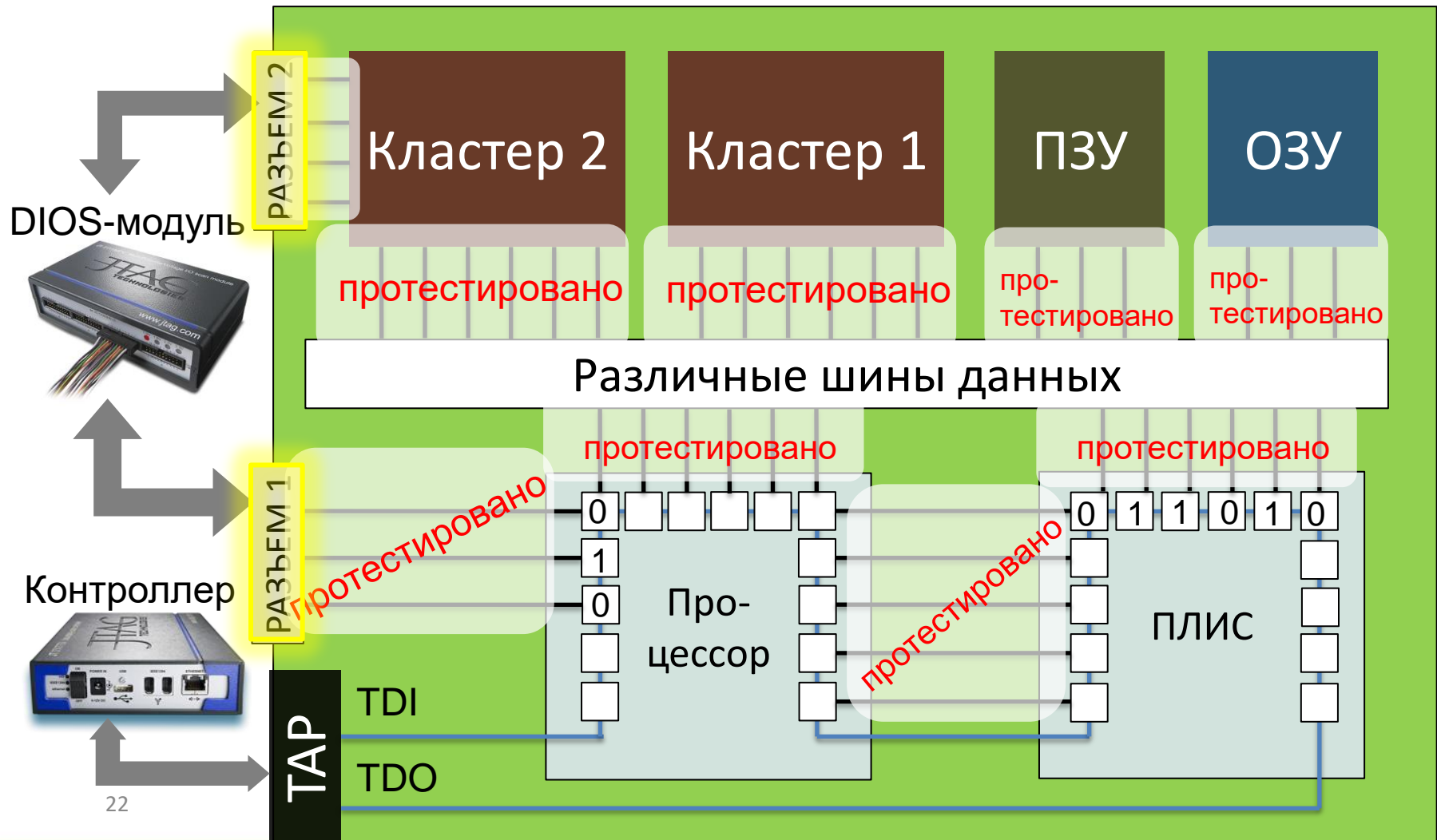


# Тестирование кластеров

- USB
- PHY
- Логика
- МЭМС
- Контроллеры
- Генераторы
- ...



# Тестирование разъемов общего назначения





## Российские микросхемы с поддержкой IEEE 1149.1

Производитель	Микросхемы с поддержкой периферийного сканирования
ВЗПП-С	5576XC4T, 5576XC1T1, 5576XC1T
Миландр	1967ВЦ2Ф, 1967ВЦ3Т, 1986ВЕ94, 1986ВЕ8
МЦСТ	1891ВМ8Я (Эльбрус-4С)
Модуль	1878ВМ3, 1879ВМ5Я, 1879ВМ6Я (новинка), 1879ВЯ1Я, 1879ВМ7Я (текущая разработка)
НИИЭТ	1887ВЕ7Т, 1887ВЕ3Т, 1887ВЕ9Т (текущая разработка), 1867ВЦ2АТ, 1867ВЦ4Т, 1867ВЦ5Т, 1867ВЦ8Ф, 1867ВЦ9Т (текущая разработка), 1906ВМ016 (текущая разработка)
ЭЛВИС	1892ХД4Ф, 1892ВМ15Ф, 1892ВМ14Я



www.jtag.com

JTAG  
TECHNOLOGIES

JT 3705/USB

TAP 1  
TAP 2



We *are* boundary-scan.®



Инструменты для генерации  
тестовых приложений и  
тестирования и программирования  
плат и систем.

## 1990 – 2016: Что изменилось?

Основное отличие в том, что понятие периферийного сканирования JTAG на сегодняшний день неразрывно связано с понятием ATPG.

*ATPG – Automatic Test Pattern Generation*

*(автоматическая генерация тестовых векторов)*

### **ПОЧЕМУ?**

Пример современной цифровой платы обработки сигналов:

Количество пинов: 3539

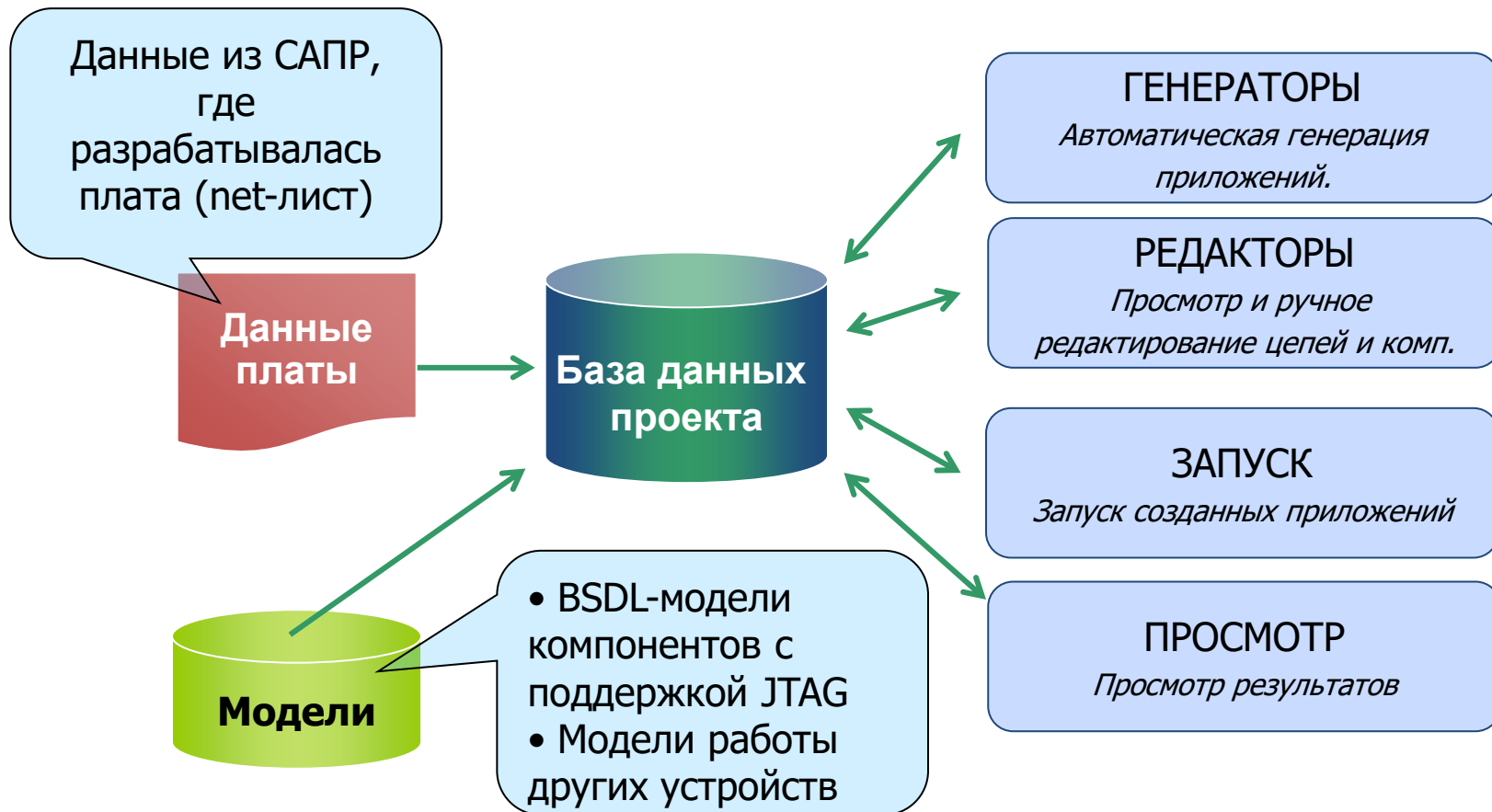
Количество цепей: 1072

Требуется протестировать 80% цепей на наличие КЗ, обрывов.



# Принцип работы ATPG

На примере пакета **JTAG ProVision™**





## JTAG *Pro*Vision

- Средство разработки приложений для тестирования плат, программирования ПЛИС и флэш.
- Содержит автоматические генераторы для большинства типов приложений.
- Содержит библиотеки моделей для десятков тысяч типов кластеров.
- Включает среду программирования на языке Python для создания тестов, которые нельзя реализовать с помощью автоматических генераторов.
- Дополнительные опции: визуализация дефектов на рисунке печатной платы.
- Дополнительные опции: средства работы с ядрами микроконтроллеров (CoreCommander)

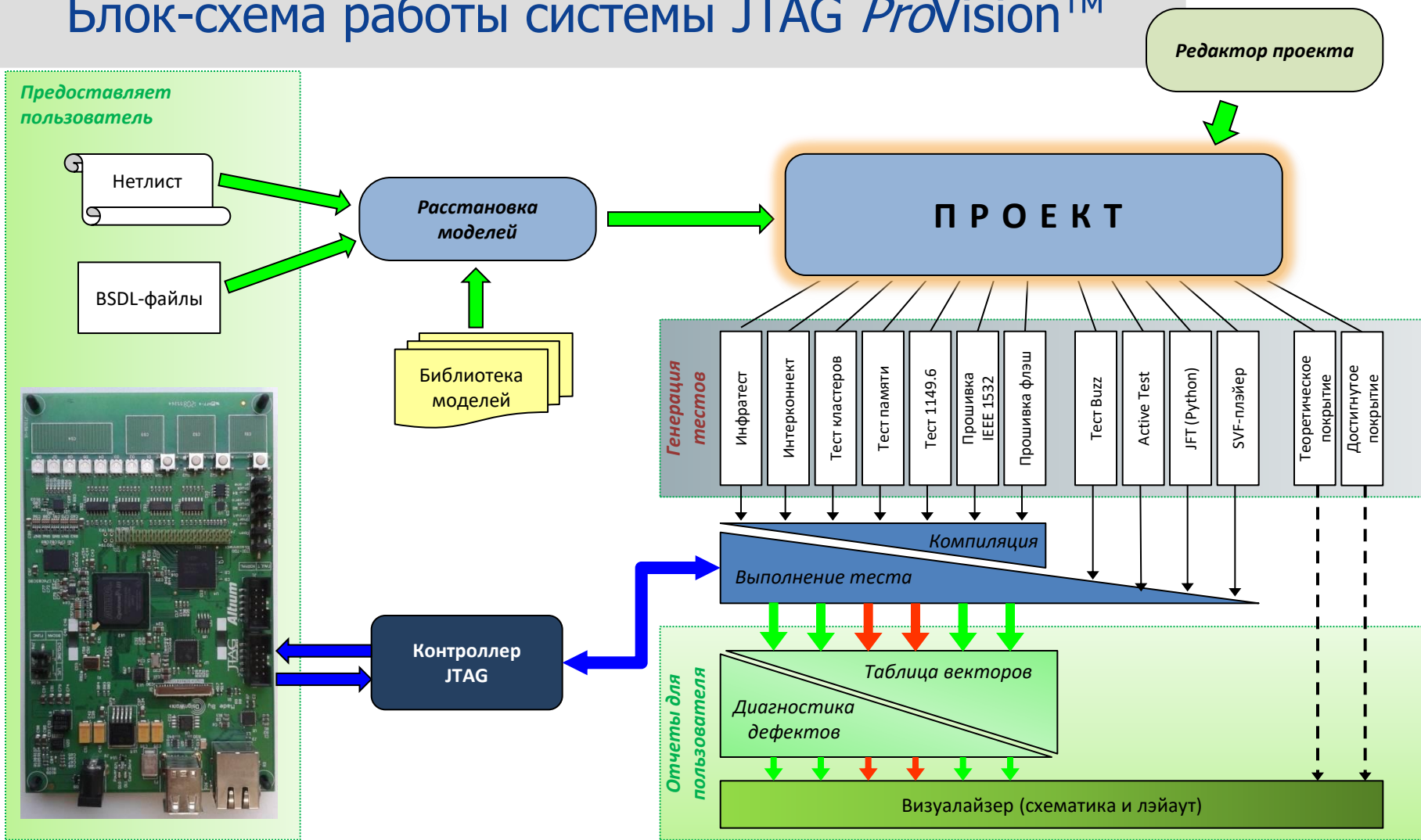
## Исходные данные для *ProVision*

(что нужно для генерации тестов?)

- Net-лист (генерируется из САПР)
- BSDL-файлы на устройства, поддерживающие IEEE 1149.x
- *Модели для устройств, не поддерживающих IEEE 1149.x*
  
- JTAG ProVision содержит модели компонентов, не поддерживающих периферийное сканирование.

We *are* boundary-scan.®

# Блок-схема работы системы JTAG ProVision™



# Обзор и редактирование проекта

Редактирование свойств цепей, компонентов, умолчаний и пр.

Компонент	№ вывода	Имя вывода	Тип компонента	Модель	Ограничения	Примечания
TP4			TESTPOINT	TESTPOINT		Считать пассивным
U1			KSZ8041NL	KS8041		Выключен
U2			TCN75AVOA	TCN75A		
U3			MMA7660FCT	MMA7660		
U4			LPC24XXFET208	LPC24XXFET208	Режим Extest	
U5			LM3525M-L	LM3525-L	Ограничения...	
U6			74HC04D	TTL04	Таблица истинности	Таблица истинности использовать
U7			ISP1763AHNUM	ISP1763A	Выключен	
U8			M25P16	M25P16	Выключен	
U9			NUP2201MR6-D	NUP2201	Считать пассивным	

Цепь	№ вывода ИС	Тип	Предупреждения
U10 A5			
U10 A6			
U10 A7			
U10 A8			
U10 A9			
U10 A10			
U10 A11			
U10 A12			
U10 A13			
U10 ACC...			

Цепочка
U4:U12

- Примечания...
- Копировать цепь в буфер обмена
- Ссылка на Visualizer
- Соединение цепи ...
- Экспортировать вид цепи ...
- Разрешить тест
- Использовать параметры проекта
- Игнорировать параметры проекта
- Питание
- Земля
- Не тестировать**
- Установить "0"
- Установить "1"
- Считывать "0"
- Считывать "1"

компонентов заверш  
ть анализ цепей  
сети завершен успеш  
ть генерацию прило  
н-за возможных ю  
ия 26 соответствую

канирующими драйверами сигнала в одной цепи генерируется ограниченный тест

## Создание отчета о тестовом покрытии

Обзор цепей		Обзор компонентов			
Имя цепи	Плата /	Классификация	Testability	Покрытие	Кс ▲
✚ ALE/ADV_N	jt2156_1		100%	50%	
✚ BA0	jt2156_1		67%	67%	
✚ BA1	jt2156_1		67%	67%	
✚ BOOT_ASDO	jt2156_1		67%	67%	
✚ BOOT_ATA0	jt2156_1		100%	100%	
✚ BOOT_CSO	jt2156_1		100%	83%	
✚ BOOT_DCLK	jt2156_1		67%	67%	
✚ BUS_A0	jt2156_1		100%	50%	
✚ BUS_A1	jt2156_1		100%	50%	
✚ BUS_A2	jt2156_1		100%	50%	

Статистика по цепям		Статистика по компонентам		Статистика по выводам ИС	
Статистика по цепям		Тестопригодность	%	Покрытие	%
<b>Общее количество цепей</b>		<b>617</b>	<b>100%</b>	<b>617</b>	<b>100%</b>
Цепей в нетлисте		612		612	
Цепей, добавленных для неподключенных выводов ИС (+)		5		5	
Цепей, игнорируемых пользователем (-)		0		0	
<b>Цепи, тестируемые периферийным сканированием</b>		<b>449</b>	<b>73%</b>	<b>420</b>	<b>68%</b>
Считанные компонентом периферийного сканирования (прямые)		401		387	
С доступом через прозрачный компонент (непрямые)		13		2	
Цепи питания / заземления		9		8	
Цепи, тестируемые косвенно		26		23	



We *are* boundary-scan.\*



# Менеджер компонентов и библиотека

Тип компонента	Компоненты	Файл модели	Название модели	Корпус
SWITCH_SPNO_1+5_2+4	RST, ...	generic_passive\switch_spno_1+5_2+4.model	SWITCH_SPNO_1+5_2+4	
TESTPOINT	TP1, ...	generic_passive\testpoint.model	TESTPOINT	
KSZ8041NL	U1	micrel\ks8041.model	KS8041	MLF-32
TCN75AVOA	U2	microchip\tcn75a.model	TCN75A	SOIC-8
MMA7660FCT	U3	freescale\mma7660.model	MMA7660	DFN-10
LPC24XXFET208	U4	nxp\lpc24xx.revision.d.tfbga.208.bsd	LPC24XXFET208	PC24
LM3525M-L	U5	national\lm3525l.model	LM3525-L	SO-8
74HC04D	U6, ...	generic_logic\ttl_04.model	TTL04	SO-14
ISP1763AHNUM	U7	st-ericsson\isp1763a.model	ISP1763A	VFQFPN-64
M25P16	U8	st\m25p16.model	M25P16	SO-8
NUP2201MR6-D	U9	st\nup2201.model	MUP2201	
EP3C16F484C8N	U10	altera\ep3c16f484c8n.model	EP3C16F484C8N	
ADS7843E	U11	ti\ads7843e.model	ADS7843E	
NCP5662DS12R4G	U12	onsemi\ncp5662ds12r4g.model	NCP5662DS12R4G	
74LVC1G04GW	U13	philips\74lvc1g04gw.model	74LVC1G04GW	
TPS51100	U14	ti\tps51100.model	TPS51100	
MT47H64M8CF-25E	U15	micron\mt47h64m8cf-25e.model	MT47H64M8CF-25E	
TPS54425	U16	ti\tps54425.model	TPS54425	
AT42QT2160-MMU	U17	atmel\at42qt2160-mmuc.model	AT42QT2160-MMU	
AP1084	U18	analogic\ap1084.model	AP1084	
OSCILLATOR_ACTIVE_HIGH_OE_SMD-4	U19	maxim\oscillator_active_high_oe_smd-4.model	OSCILLATOR_ACTIVE_HIGH_OE_SMD-4	
crystal	U20	maxim\crystal.model	crystal	

Выберите модель для типа компонента: ISP1763AHNUM

« ProVision » models » modellib

Упорядочить Создать папку

- OneDrive
- Этот компьютер
- Видео
- Документы
- Загрузки
- Изображения
- Музыка

3dplus	amcc	atheros	bosch	cml	ddc
abilis	amd	ati	bothhand	coilcraft	ddd
abracon	amic	atmel	bourns	conexant	dei
actel	amis	ato	broadcom	conwin	delta
adesto	ams	austin	c&k	copal	dialog
adi	anadigics	avago	cactus	cortina	diodes
aeroflex	analogic	azoteq	calmicro	cosmo	dvti
agilent	anaren	batron	catalyst	crystek	e2v

## Модели для компонентов не поддерживающих JTAG

### Используются для:

- Включения/выключения этих устройств автоматически при проведении тестов периферийного сканирования (CS, CE, EN...)
- Расчета тестового покрытия и доступа периферийного сканирования в глубь логических кластеров до 10 уровней (буферы и комбинированная логика)
- Генерации теста кластеров, если к ним имеется доступ окружающих компонентов с поддержкой периферийного сканирования.
- Генерации тестов памяти

# После запуска тестов:

**Таблица истинности теста - Interconnect**

Nets / Vectors	TFT_TSC_BUSY	BUTTON_C	BUTTON_B	BUTTON_A	SOFT_TDO	SOFT_TMS	SOFT_TDI	P3_29	P2_6	P2_4	P2_5	P3_16	P0_1/SCL1	P0_2/TXD0	P0_3/RXD0	P0_5	P0_6	P0_8	P0_10	P0_12	P0_13
1	H1	H1	H1	H1	H1	H1	H1	H11Z	H11Z	H11Z	H11Z	1H	H11Z	H11Z	H11Z	H11Z	H11Z	1H	H11Z	H11Z	H11
2	L0	L0	L0	L0	L0	L0	L0	L00Z	L00Z	L00Z	L00Z	0L	L00Z	L00Z	L00Z	L00Z	L00Z	0L	L00Z	L00Z	L0C
3	L0	L0	L0	L0																	
4	H1	H1	H1	H1																	
5	H1	H1	H1	H1																	
6	L0	L0	L0	L0																	
7	L0	L0	L0	L0																	
8	L0	L0	L0	L0																	
9	H1	H1	H1	H1																	
10	H1	H1	H1	H1																	
11	L0	L0	L0	L0																	
12	H1	H1	H1	H1																	
13	L0	L0	L0	H1																	
14	L0	L0	H1	L0																	
15	L0	H1	H1	L0	L0	H1	H1	L00Z	L00Z	H11Z	H11Z	0L	L00Z	H11Z	H11Z	L00Z	L00Z	1H	H11Z	L00Z	L0C
16	L0	H1	L0	H1	L0	H1	L0	H11Z	L00Z	H11Z	L00Z	1H	L00Z	H11Z	L00Z	H11Z	L00Z	1H	L00Z	H11Z	L0C

**Тестовая диагностика - Interconnect**

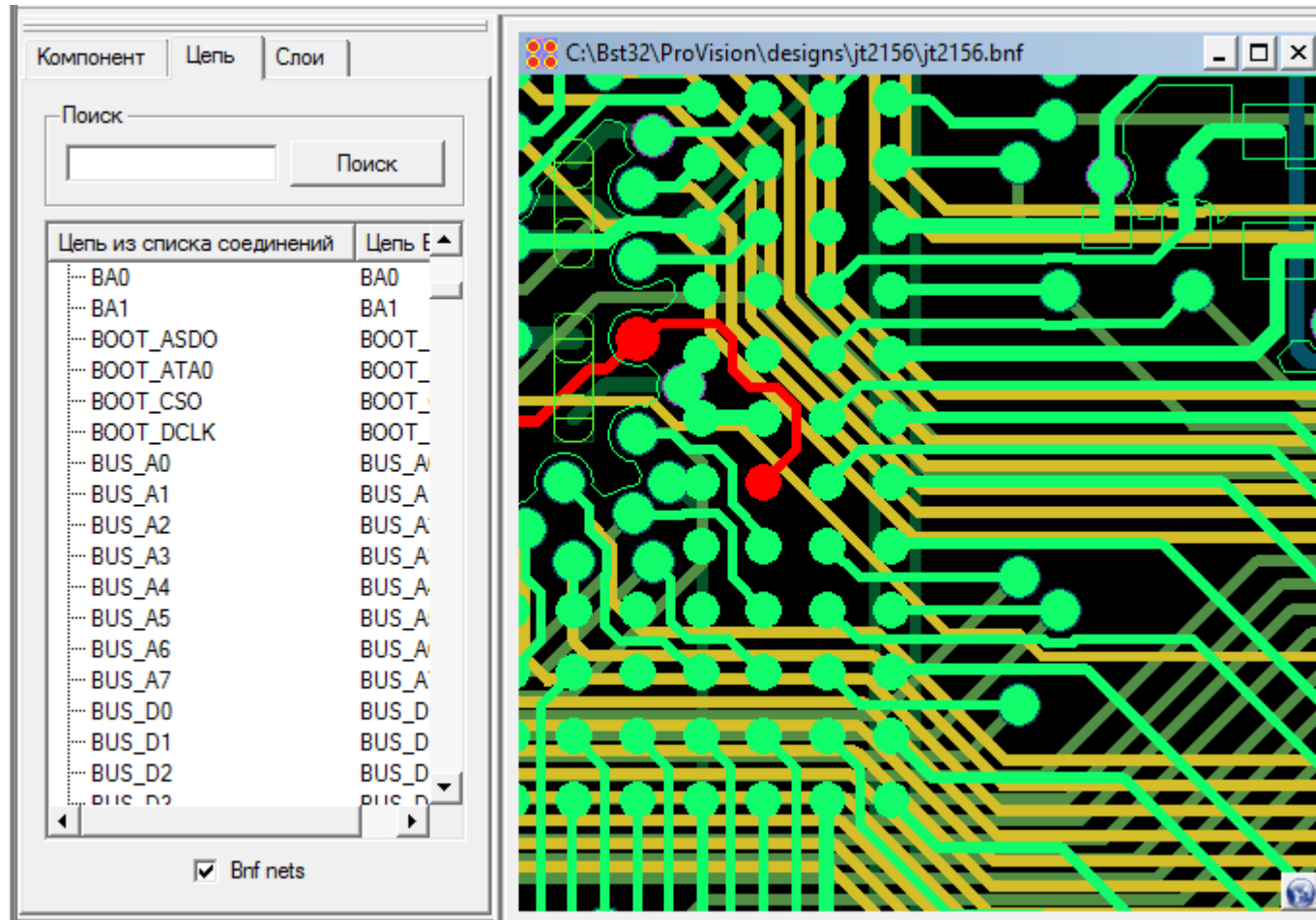
Неисправность(ы)	Цепь(и) или в	Плата	Цепь	Компонент	Тип вывода ИС	Номер вывода	Имя выво
Обрыв цепи	U12-Y10	jt2156_1	P3_29	U4	Периферийное сканирование Ввод/вывод	F3	P3_29
Обрыв цепи	U4-F3			U12	Периферийное сканирование Ввод/вывод	Y10	ЮУ10

Количество неспр:       Плата для Visualizer:

Ошибки: 0    Цепи:  Нефикс    Фикс. Drive    Фикс. Sense    Управл    Компонент:

We *are* boundary-scan.\*

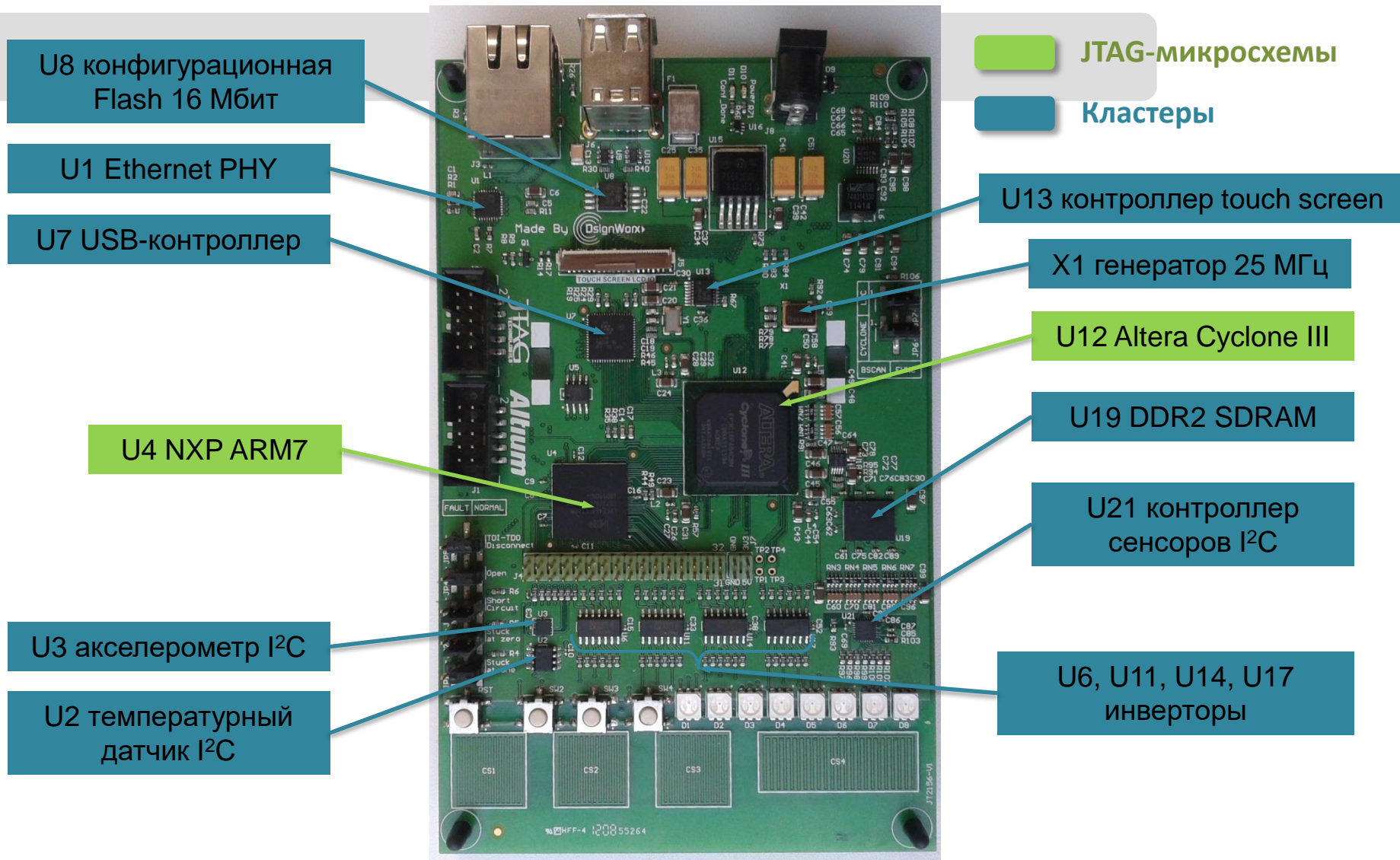
## После нахождения дефектов: JTAG Visualizer



# Демо-плата JT2156

Разработка и  
выполнение тестов  
периферийного  
сканирования

We *are* boundary-scan.®



U8 конфигурационная Flash 16 Мбит

U1 Ethernet PHY

U7 USB-контроллер

U4 NXP ARM7

U3 акселерометр I<sup>2</sup>C

U2 температурный датчик I<sup>2</sup>C

JTAG-микросхемы

Кластеры

U13 контроллер touch screen

X1 генератор 25 МГц

U12 Altera Cyclone III

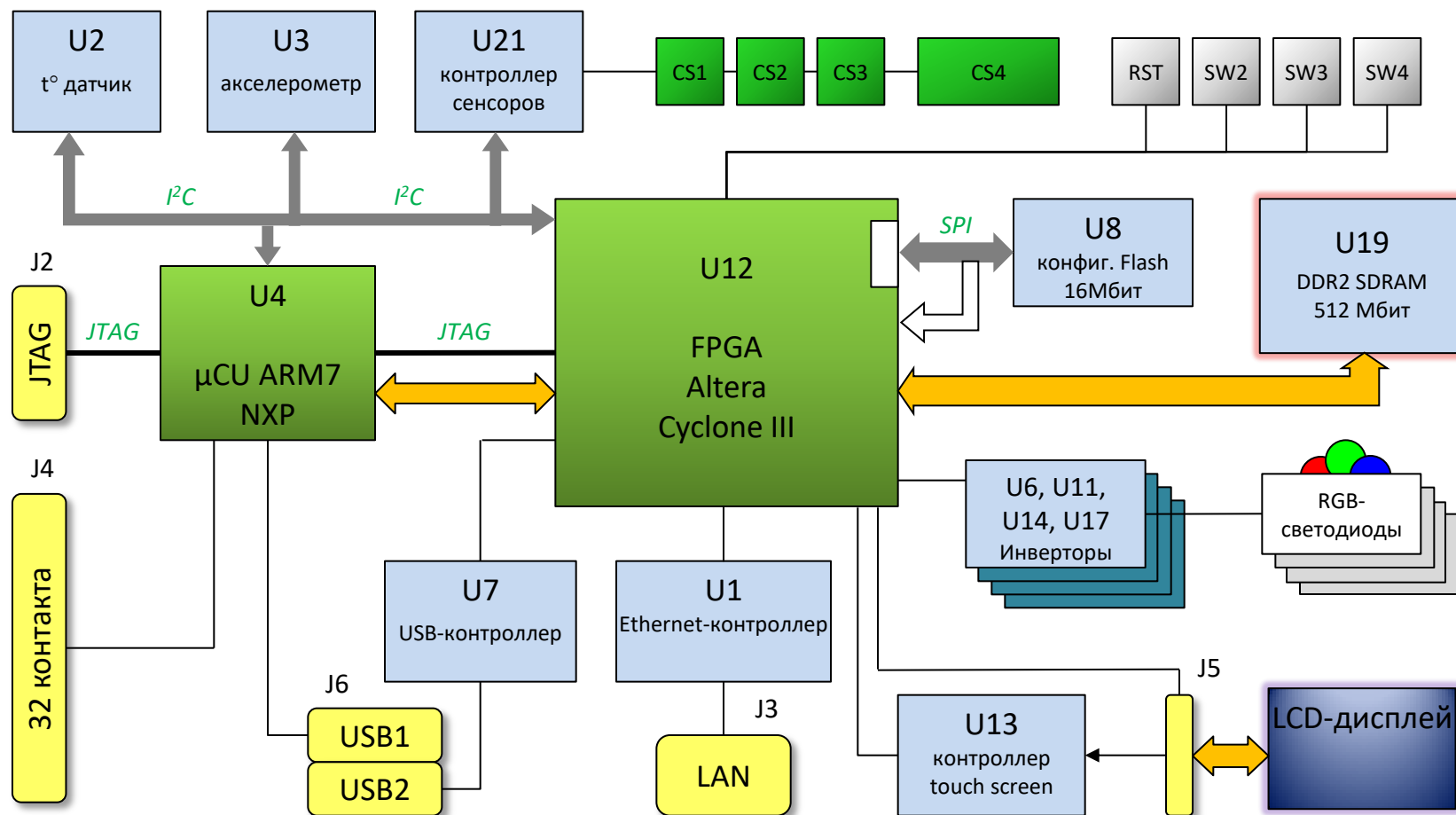
U19 DDR2 SDRAM

U21 контроллер сенсоров I<sup>2</sup>C

U6, U11, U14, U17 инверторы



# Основные элементы JT2156 и их связи



## Контроллеры периферийного сканирования

- Как правило, контроллер периферийного сканирования – несколько более сложное устройство, чем различные программаторы JTAG
- Сколько TAP-портов (JTAG-портов) должен иметь контроллер?
- Нужны ли каналы IO для тестирования разъемов?
- Требуется ли быстрое программирование микросхем флэш? От данного требования зависит, какую максимальную частоту TCK будет иметь контроллер, а также будет ли он оборудован специальными аппаратными возможностями для ускоренного программирования.

We *are* boundary-scan.®

# Контроллеры периферийного сканирования

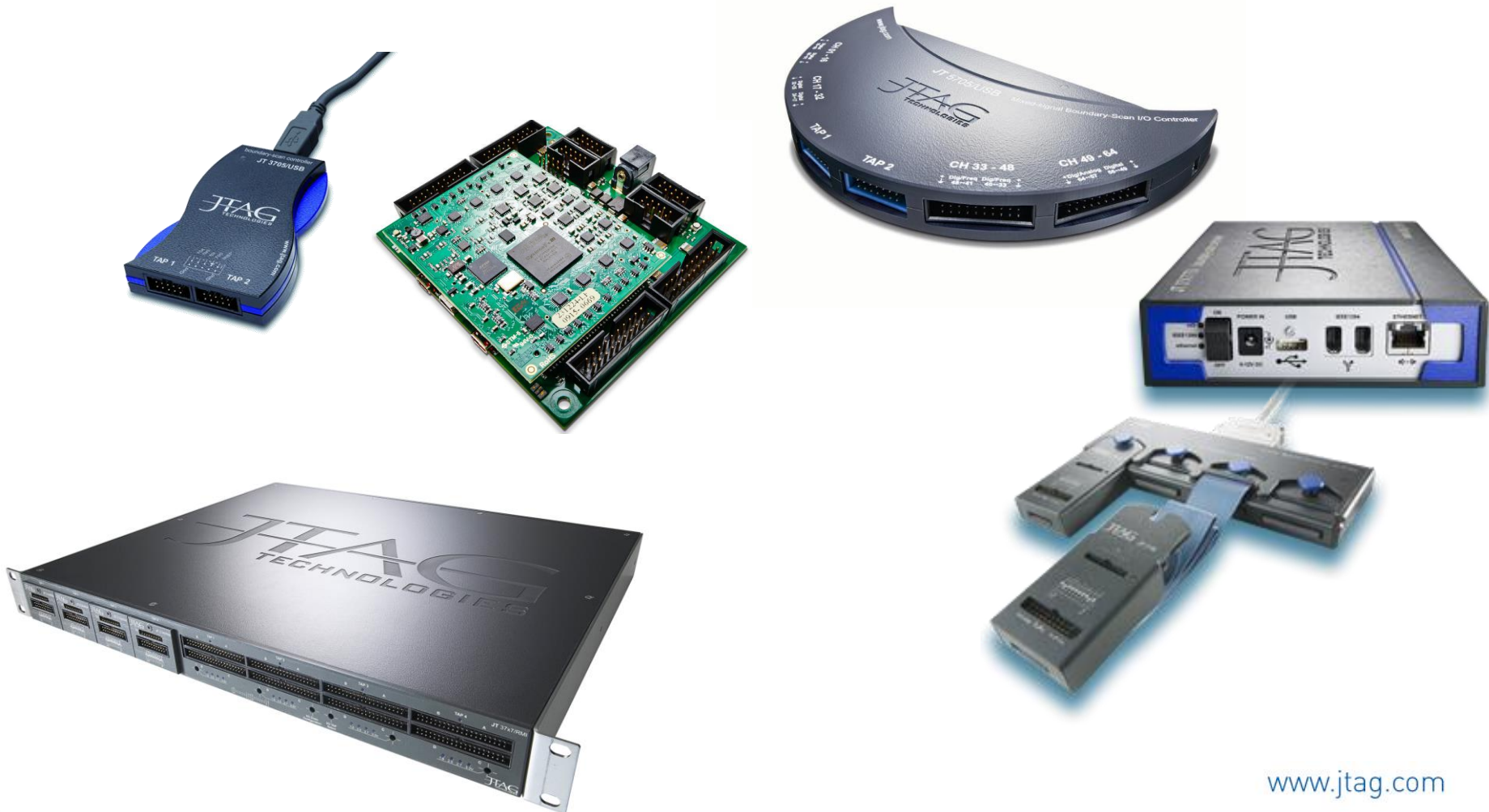


	JT3705	JT5705	JT3707	JT3717	JT3727	JT3707/RMI	JT3717/RMI	JT3727/RMI
Макс. частота ТСК	6 МГц	15 МГц	40 МГц	40 МГц	40 МГц	40 МГц	40 МГц	40 МГц
Кол-во TAP-портов	2	2	4	4	4	4	4	4
Форм-фактор	Короб.	Короб./ плата	Короб./ PXI/PCI	Короб./ PXI/PCI	Короб./ PXI/PCI	1U (19")	1U (19")	1U (19")
Интерфейс	USB	USB	USB, ETH, FW, PXI, PCI	USB, ETH, FW, PXI, PCI	USB, ETH, FW, PXI, PCI	USB, ETH, FW	USB, ETH, FW	USB, ETH, FW
Прогр. флэш	медл.	медл.	медл.	быстр.	быстр.	медл.	быстр.	быстр.
Прогр. NAND	нет	нет	нет	да	да	да	да	да
Группов. тестирование	нет	нет	да	да	да	да	да	да
Группов. программир.	нет	нет	нет	да	да	да	да	да
Функция AutoWrite	нет	да	да	да	да	да	да	да
Управл. уровнями	да	да	да	да	да	да	да	да
Удлинение JTAG-кабелей	нет	нет	да	да	да	да	да	да
Аналоговые IO	нет	8	опция	опция	опция	опция	опция	опция
Цифровые IO	нет	64	опция	опция	опция	256	256	256

We *are* boundary-scan.®



# Контроллеры периферийного сканирования

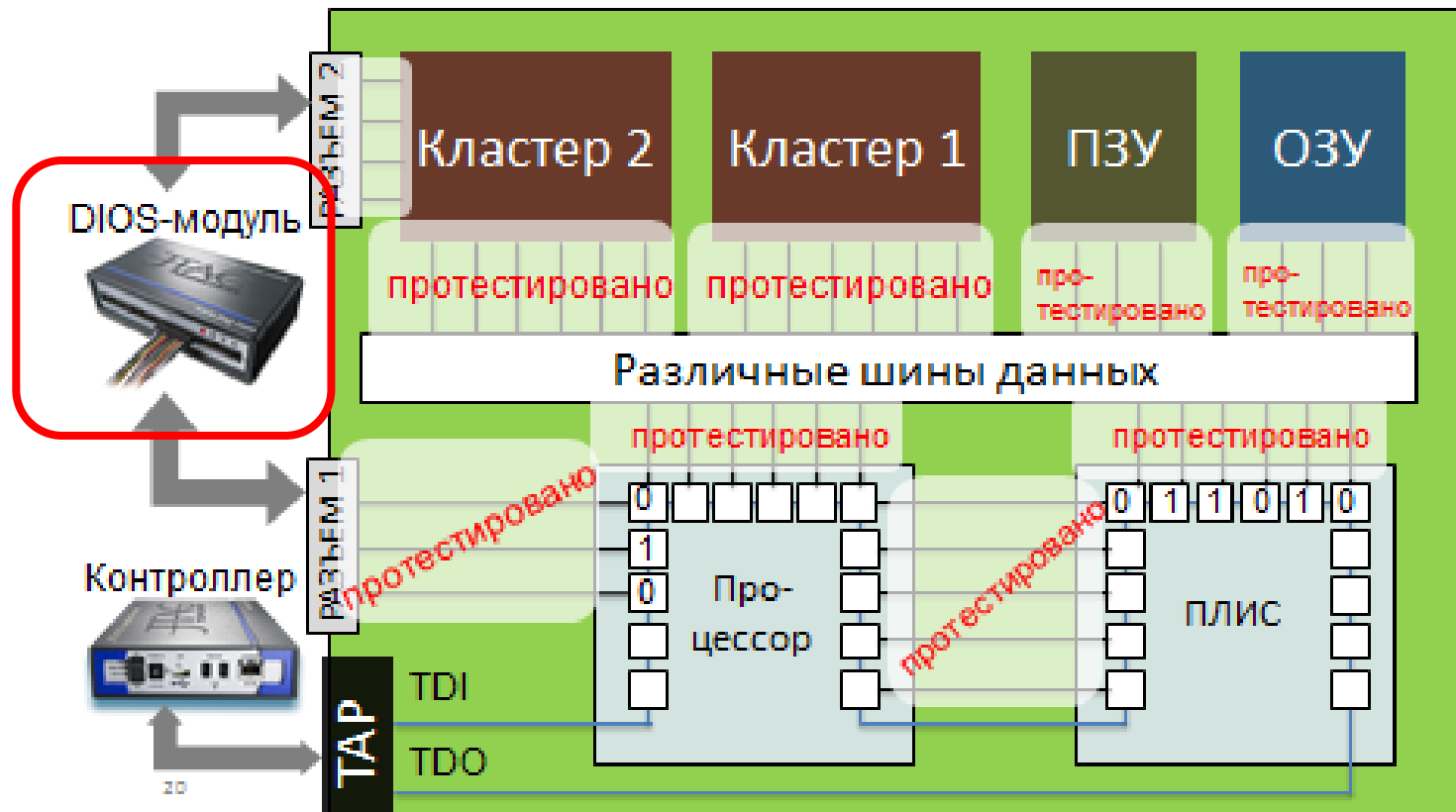


We *are* boundary-scan.\*

## Модули ввода/вывода (DIOS – Digital I/O Scan)

Позволяют тестировать цепи внешних разъемов.

Можно подключать к иглам адаптера для доступа ко внутренним точкам платы



## JT 2111/MPV

Цифровой модуль ввода/вывода на 64 канала, индивидуально конфигурируемых как однонаправленный (input или output), двунаправленный (bi-directional) вывод или с тремя состояниями (tri-state). Поддержка 1.5V – 3.3V и 5V. TCK max >45Mhz, напряжение выбирается переключателем

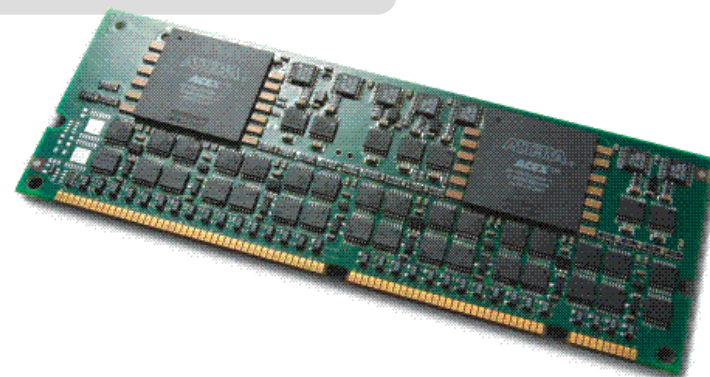
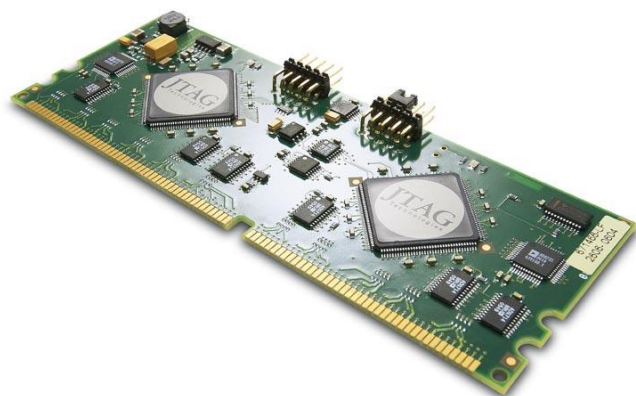




We *are* boundary-scan.®



## DIMM DIOS-модули



We *are* boundary-scan.®



## JT2149/MPV



We *are* boundary-scan.®



# Запуск приложений JTAG на производстве

И интеграция тестов в другие системы

# Отдельная станция запуска тестов

(на сайте: станции серии PS)



## Поочередный запуск приложений:

- Тест JTAG-канала (проверка установки JTAG-компонентов);
- Тест межкомпонентных соединений (с проверкой неподключенных выводов и т.д., с разъемами);
- Тест соединений с памятью (может быть несколько в зависимости от количества и типа микросхем ОЗУ);
- Тест резисторов подтяжки на питание и на землю;
- Тест флэш-ПЗУ;
- Проверка светодиодов или сегментного дисплея с привлечением внимания оператора;
- Стирание ПЗУ
- Программирование ПЗУ;
- Проверка записи ПЗУ
- Сброс режима периферийного сканирования для запуска платы;

# Отдельная станция тестирования

## Секвенсор на базе платформы ProVision

**AEX Секвенсор: Production**

№	Тип	Операция	Свойство	Пункт	Показать	Статус
1	Interconnect Test	Test Infrastructure		Interconnect	Status	Passed
2	Interconnect Test	Execute Test		Interconnect	Status	Failed
3	Logic Test	Execute Test		U1	Status	Passed
4	Logic Test	Execute Test		U2	Status	Passed
5	Flash Test	Verify Device and Manufacturers ID Code		U8	Status	Passed
6	Logic Test	Execute Test		U21	Status	Passed
7	Logic Test	Execute Test		X1	Status	Passed

Идентификация единицы

Серийный номер:  Пакет:

**Выполнить**

Последовательность  Одиночное приложение

**Состояние последовательности**

Нет:

Успешно  
 Неудачно  
 Ошибка  
 Занят:

**Настройки**

Повторить  раз  
 Глобальный групповой режим

Показать баннер состояния:  
 Последовательность  Приложение

Type

- ELIF <condition>
- ELSE
- ENDIF
- Export report
- GOTO
- IF <condition>
- Label / Comment
- Pause / Display Message
- Print report
- Read/Test/Write IO Pins
- Reset Instrument

Операции



We *are* boundary-scan.®



# Варианты интеграции JTAG-приложений

(JTAG ProVision)

Разработка приложений

- Тест
- Flash, PLD

Отладка приложений

Производство

Отдельная станция

F-Тестер

ICT

Flying Probe





We *are* boundary-scan.®



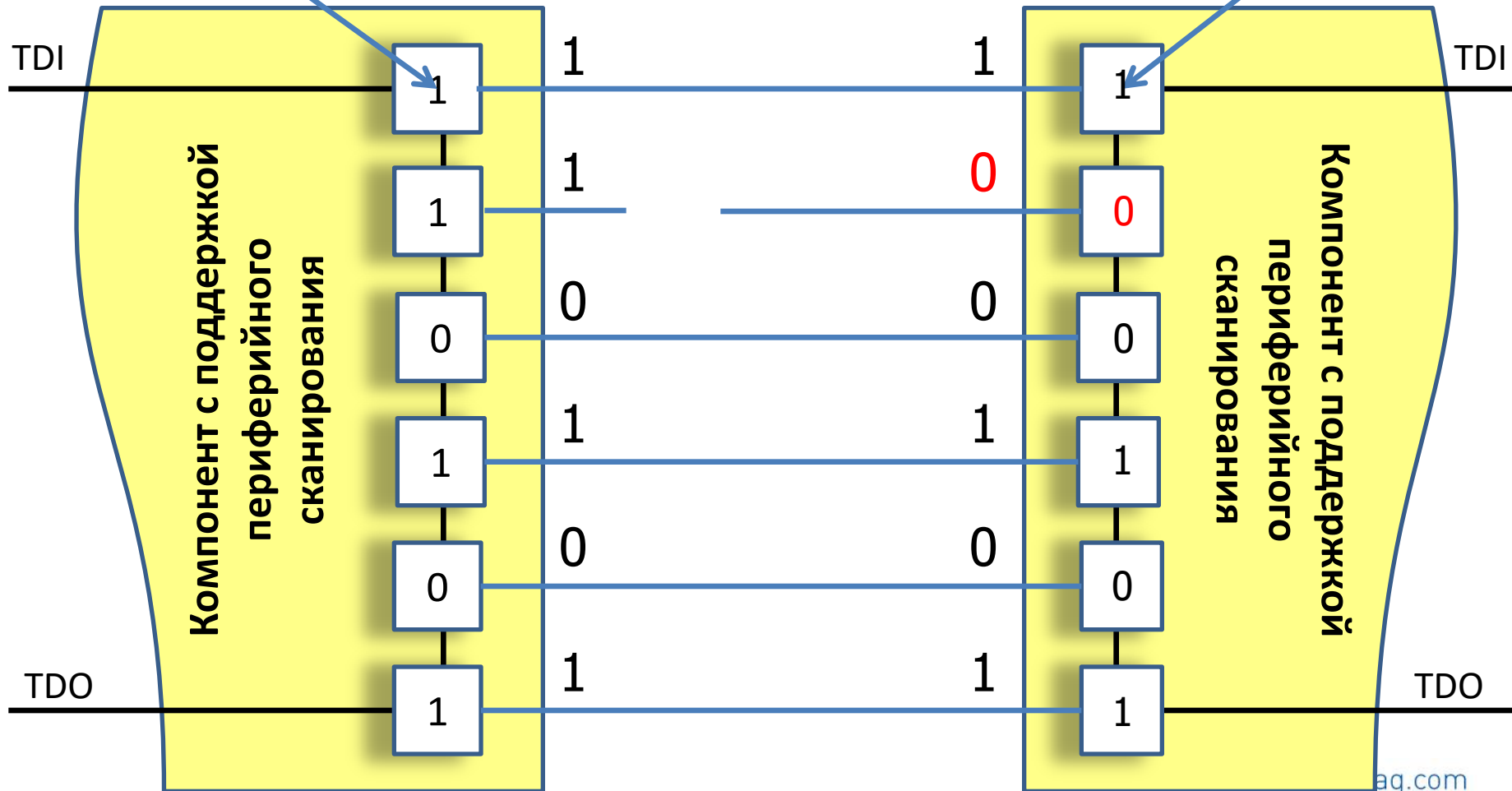
## Почему интеграция?

Типичные проблемы, связанные с тестированием,  
заставляющие искать варианты интеграции

# Тест межсоединений

Ячейки  
Периферийного  
сканирования

Ячейки  
Периферийного  
сканирования

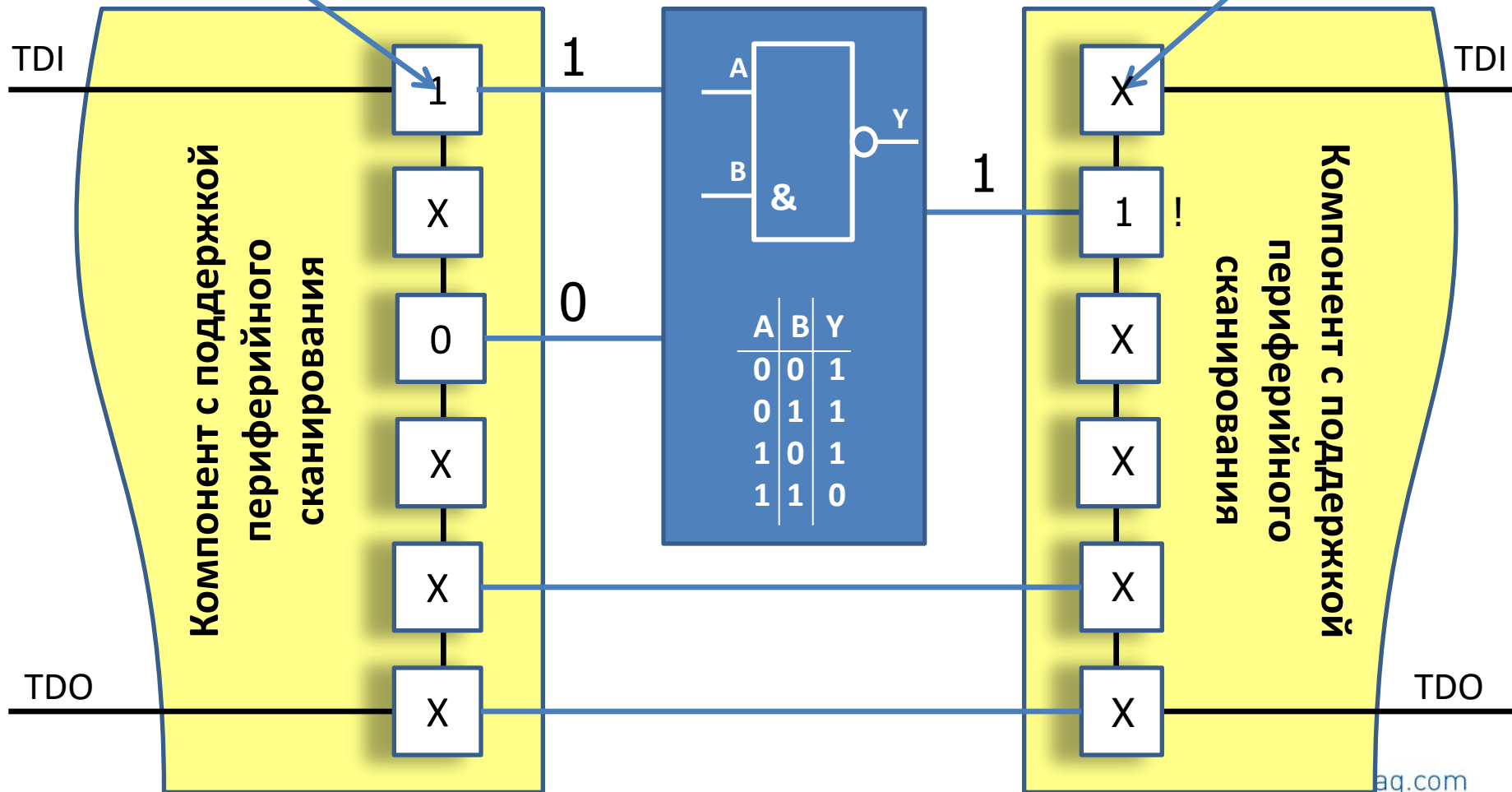


We *are* boundary-scan.\*

# Тест кластеров

Ячейки  
Периферийного  
сканирования

Ячейки  
Периферийного  
сканирования

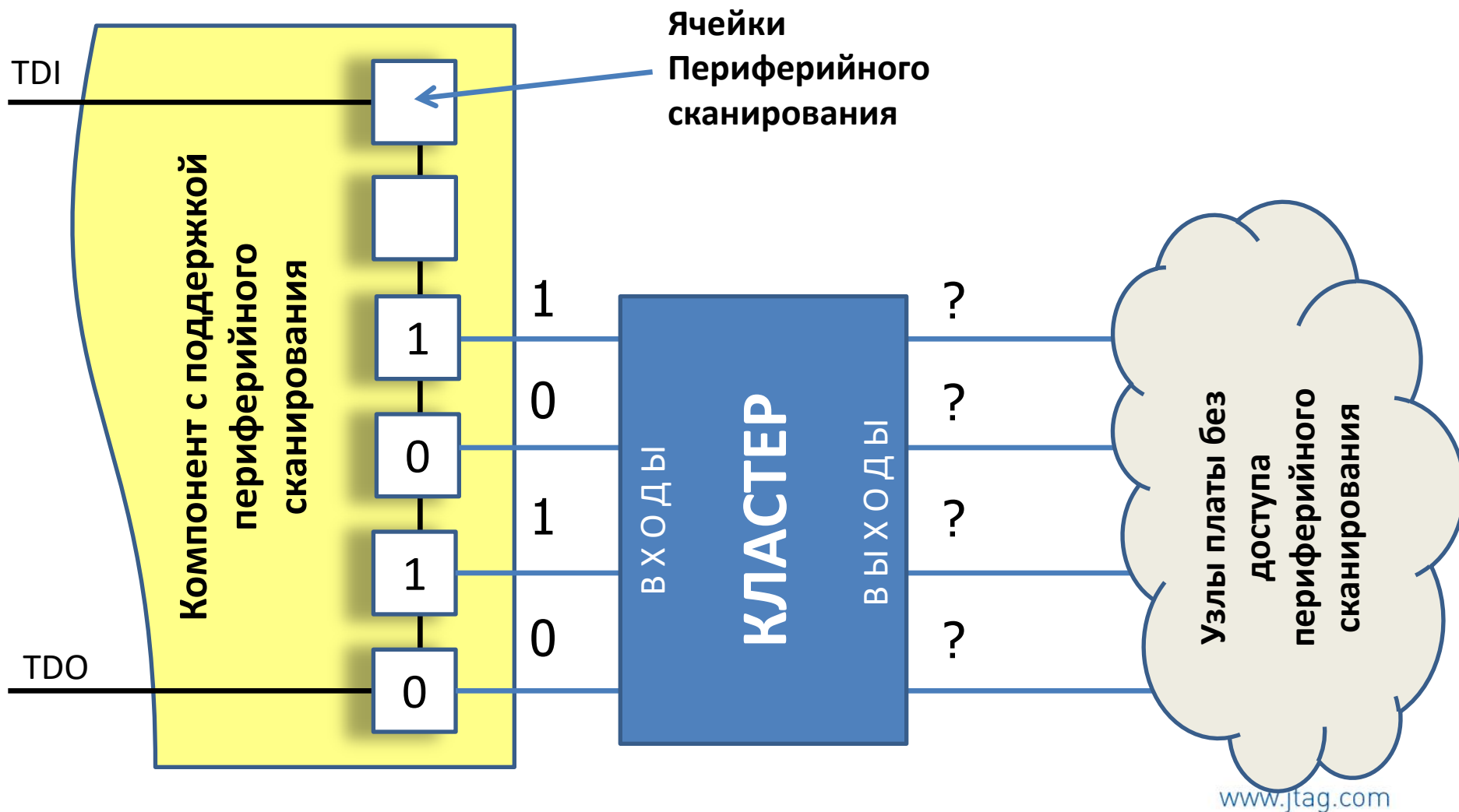


We *are* boundary-scan.®



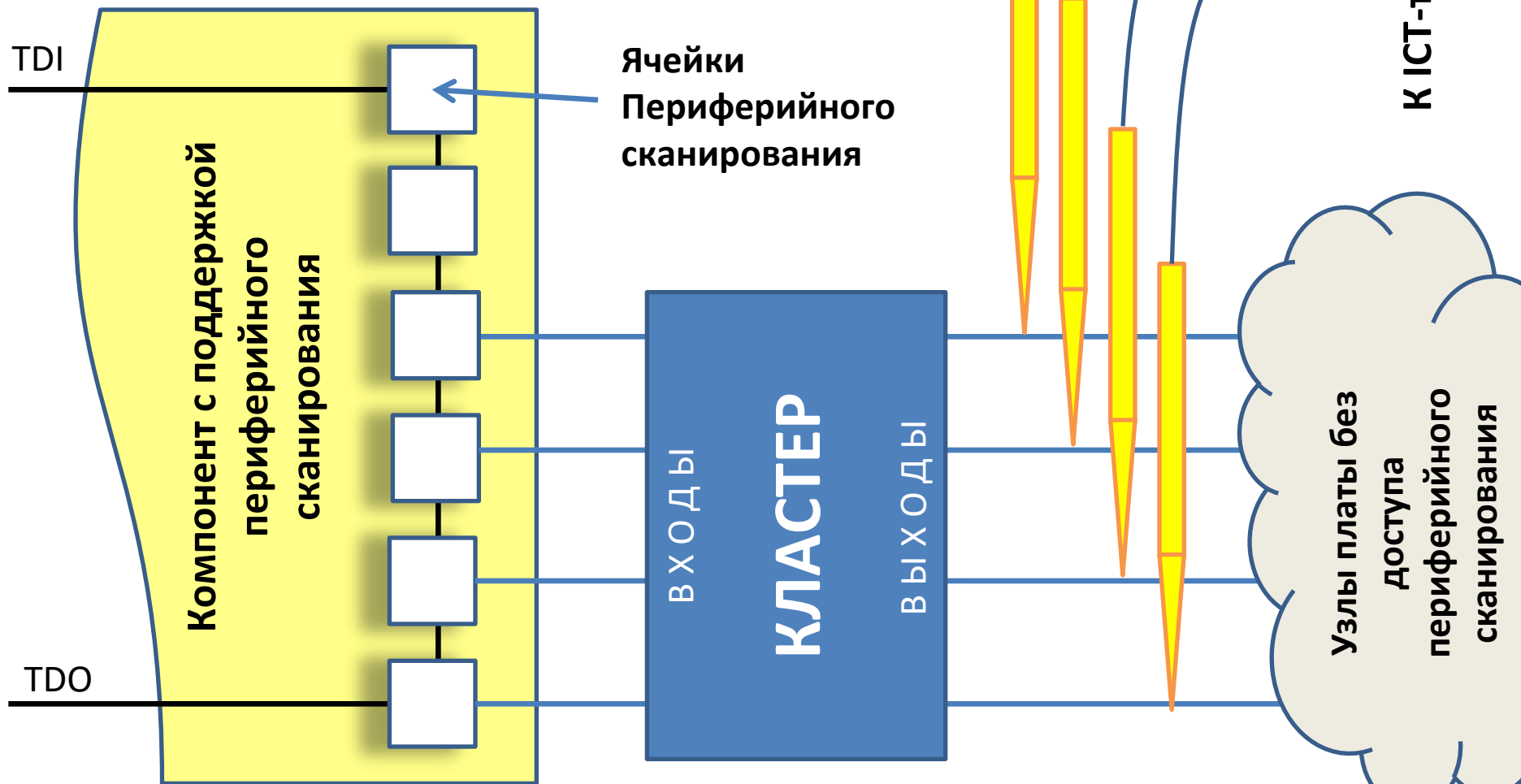
## Проблемы с тестированием кластеров

## Отсутствие полного доступа



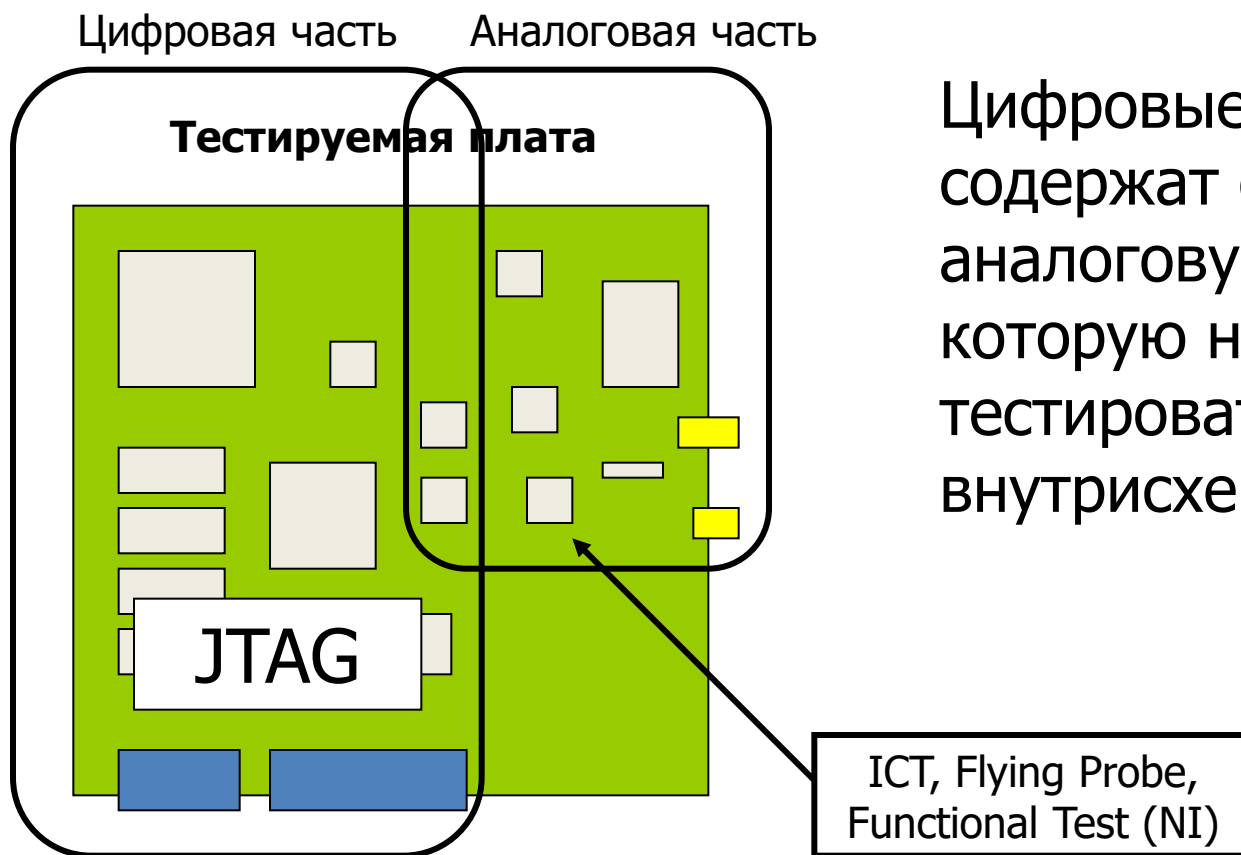
We *are* boundary-scan.\*

## Вариант решения





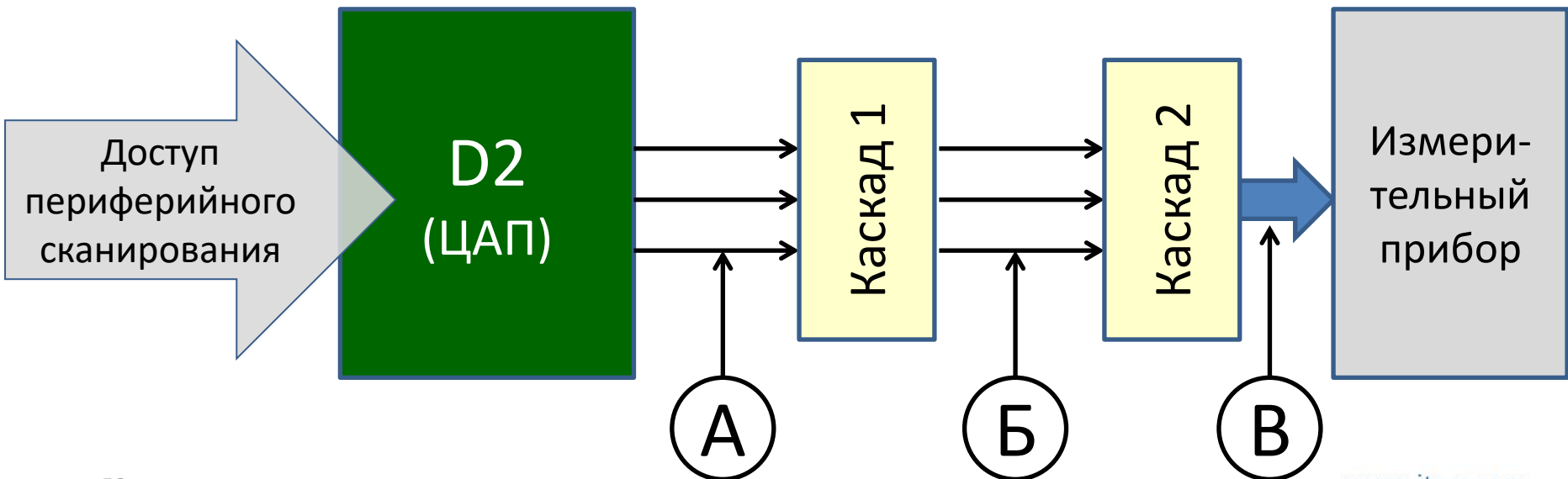
## Наличие аналоговой части



Цифровые платы часто содержат обширную аналоговую часть, которую необходимо тестировать с помощью внутрисхемного теста

## Тестовое разрешение

- Можно провести тестирование используя периферийное сканирование с одной стороны, и измерительный прибор (аналоговый) с другой стороны. В этом случае, при наличии дефекта сборки в промежуточных точках (А, Б, В), мы не получим информацию о его точной локализации.
- Можно использовать иглы адаптера ICT в промежуточных точках, для повышения диагностического разрешения.



We *are* boundary-scan.®



# Примеры интеграции внутрисхемного теста и периферийного сканирования

We *are* boundary-scan®

JTAG LOGIC TECHNOLOGIES®

**ВНУТРИСХЕМНЫЙ  
ТЕСТЕР (ИСТ)**

**ПК**

Программный  
интерфейс

Программный  
интерфейс

Каналы  
для  
аналоговых  
измерений

Цифровые каналы

**Адаптер ИСТ**

IO-каналы

**КОНТРОЛЛЕР  
ПЕРИФЕРИЙНОГО  
СКАНИРОВАНИЯ**

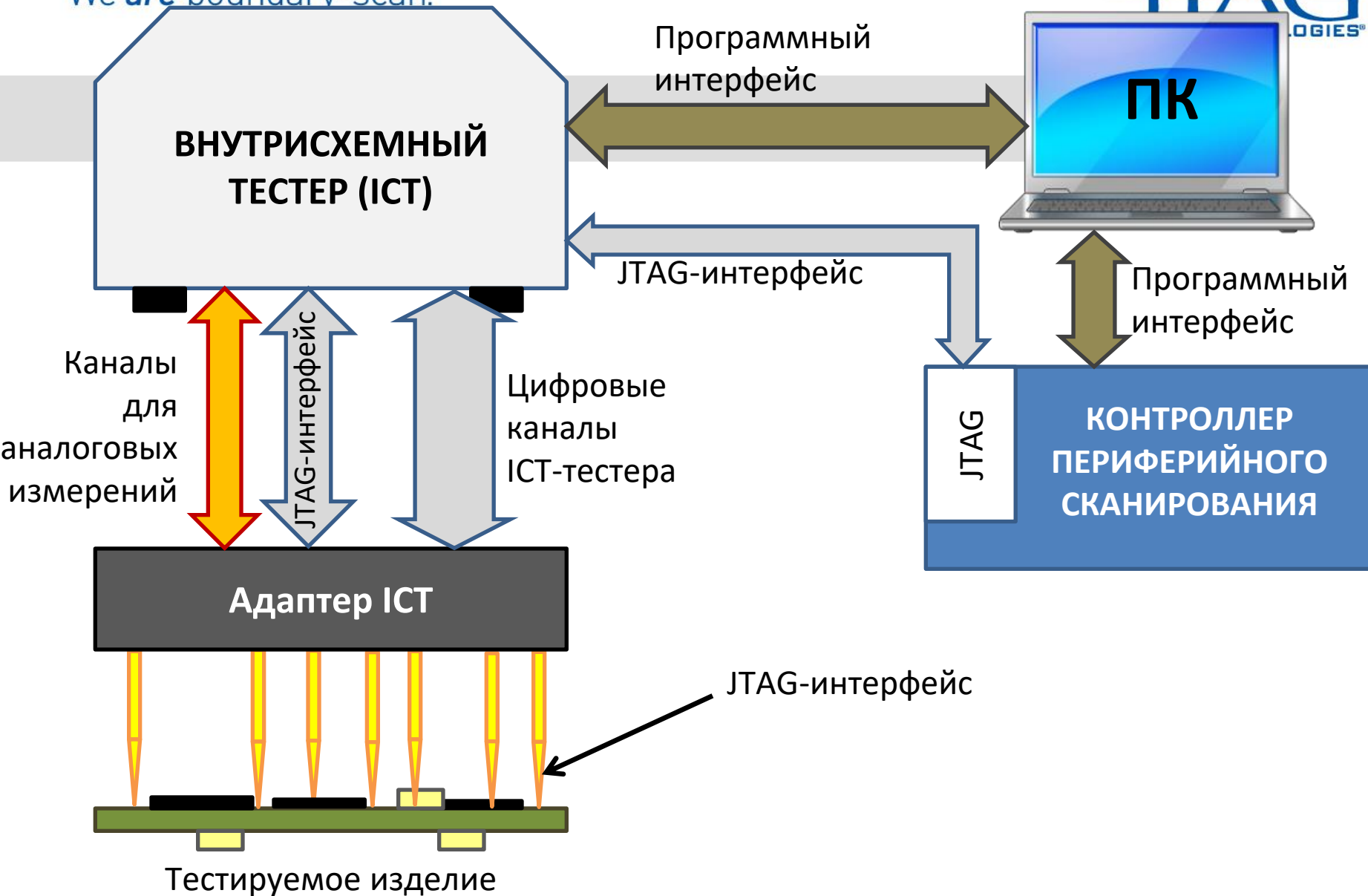
Интерфейс JTAG

JTAG

Тестируемое изделие



We *are* boundary-scan.®

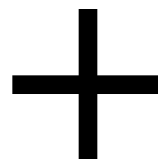


## Пример

### JTAG

#### Поочередный запуск приложений:

- Тест JTAG-канала (проверка установки JTAG-компонентов);
- Тест межкомпонентных соединений (с проверкой неподключенных выводов и т.д., с разъемами);
- тест соединений с памятью (может быть несколько в зависимости от количества и типа микросхем ОЗУ);
- Тест резисторов подтяжки на питание и на землю;
- Тест флэш-ПЗУ;
- Проверка светодиодов или сегментного дисплея с привлечением внимания оператора;
- Стирание ПЗУ
- Программирование ПЗУ;
- Проверка записи ПЗУ
- Сброс режима периферийного сканирования для запуска платы;



### PXI-система

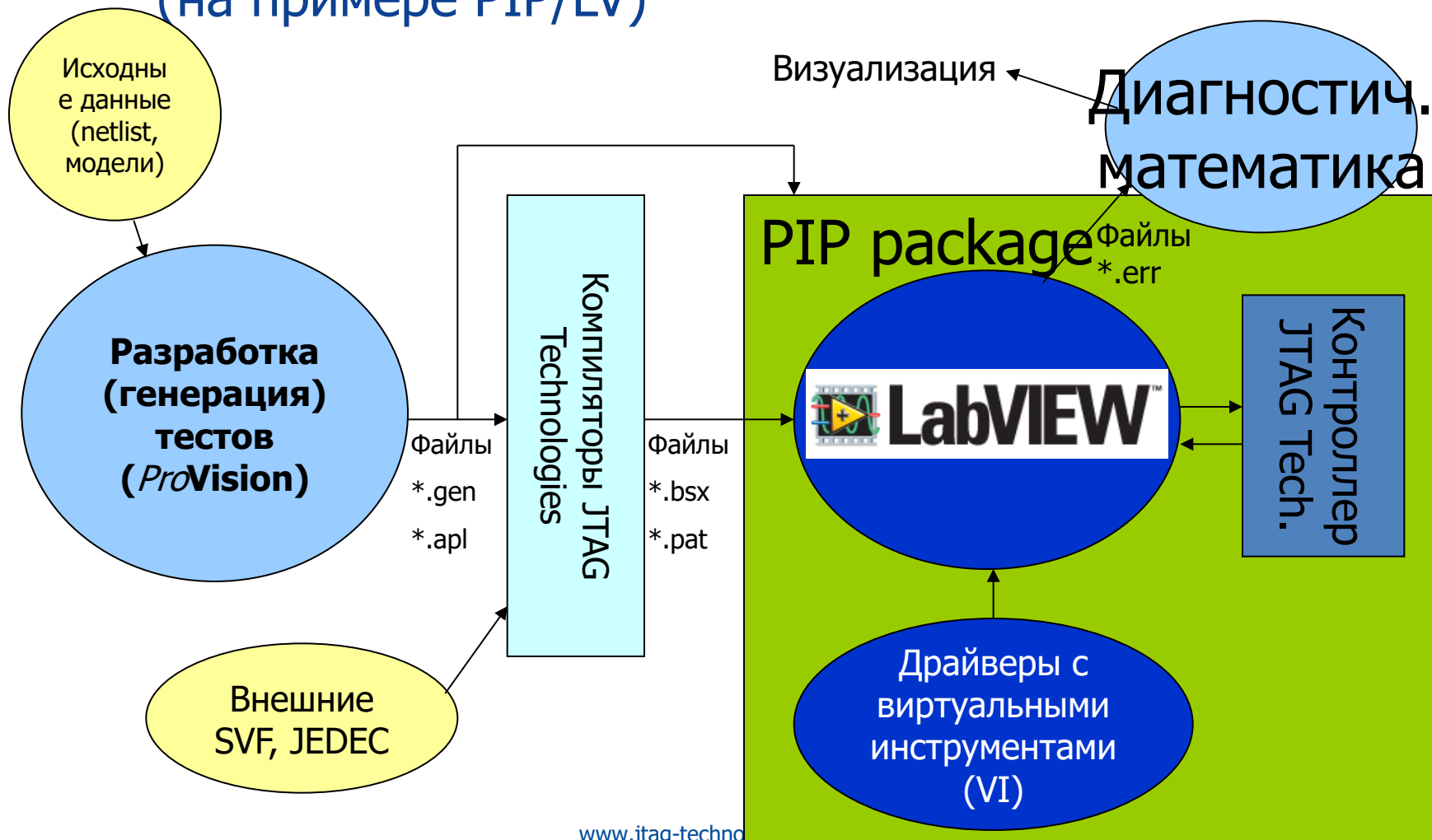
#### Проверка радиочасти + функциональный тест

- Проверка тока потребления (желательно до JTAG-теста);
- Проверка КСВН и других параметров приемо-передающей части;
- Запуск уже прошитого в исправное ПЗУ самоконтроля;
- Запуск «родной» оболочки, проверка функционирования (обмен по интерфейсу);
- Запуск внешнего генератора и проверка приема основных



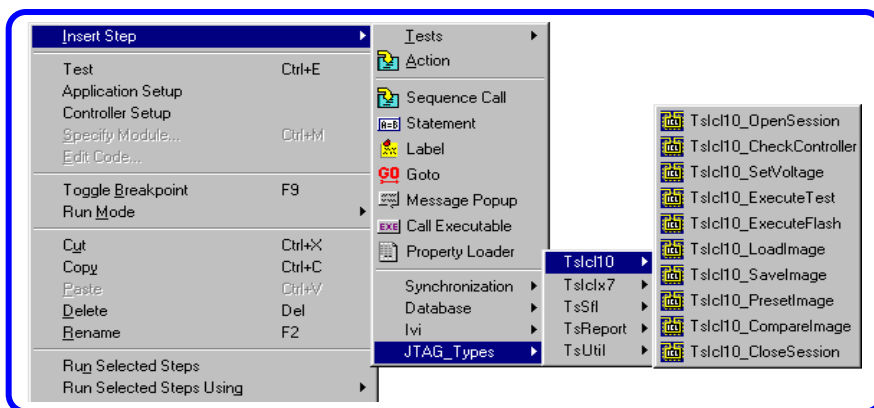


# Как работает пакет интеграции? (на примере PIP/LV)



We *are* boundary-scan.\*

# Интеграция в функциональные тестеры PXI



PIP/LV  
PIP/TestStand  
PIP/LW

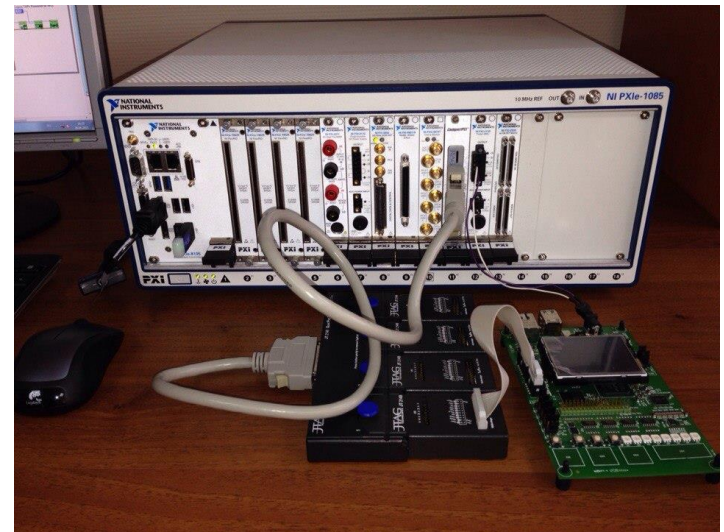
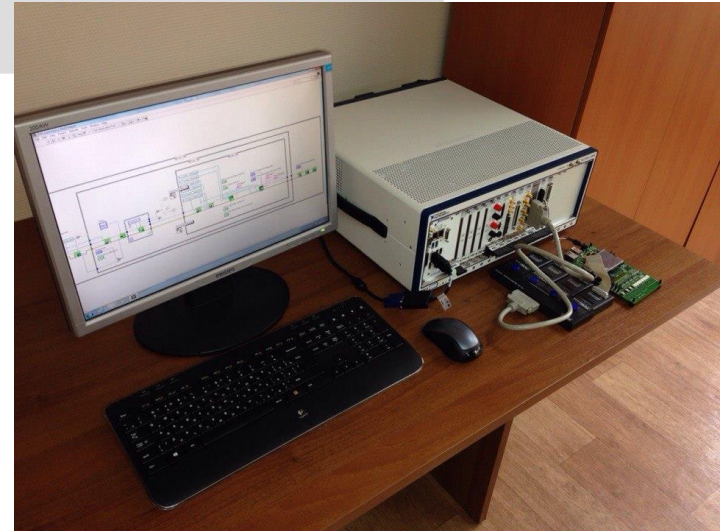
Модульные PXI  
инструменты



## Пример

Состав оборудования:

- Крейт NI PXIe-1085 для установки контроллера и модулей
- Контроллер NI PXIe-8135 - промышленный компьютер с ОС Windows для разработки и проведения тестирования
- Источник питания NI PXIe-8135
- Контроллер периферийного сканирования JTAG Technologies JT3717/PXIe
- Разветвитель TAP портов JT2148



## Размещение контроллера внутри адаптера

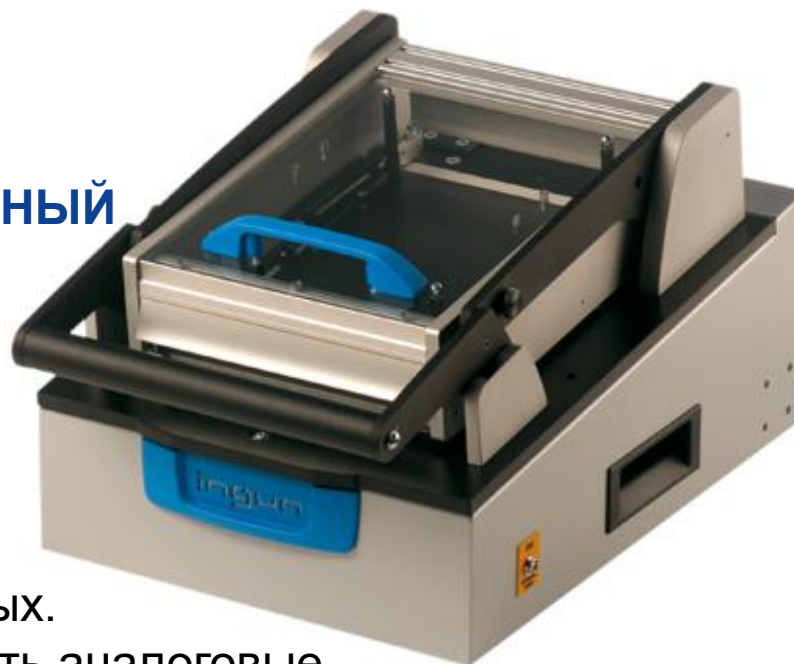
Контроллер JT5705/FXT  
в комплекте с платой-  
переходником для  
адаптеров Ingun MA 21xx и  
MA 31xx



**ПОЛНОЦЕННЫЙ  
ТЕСТЕР**



Адаптер Ingun MA 31xx

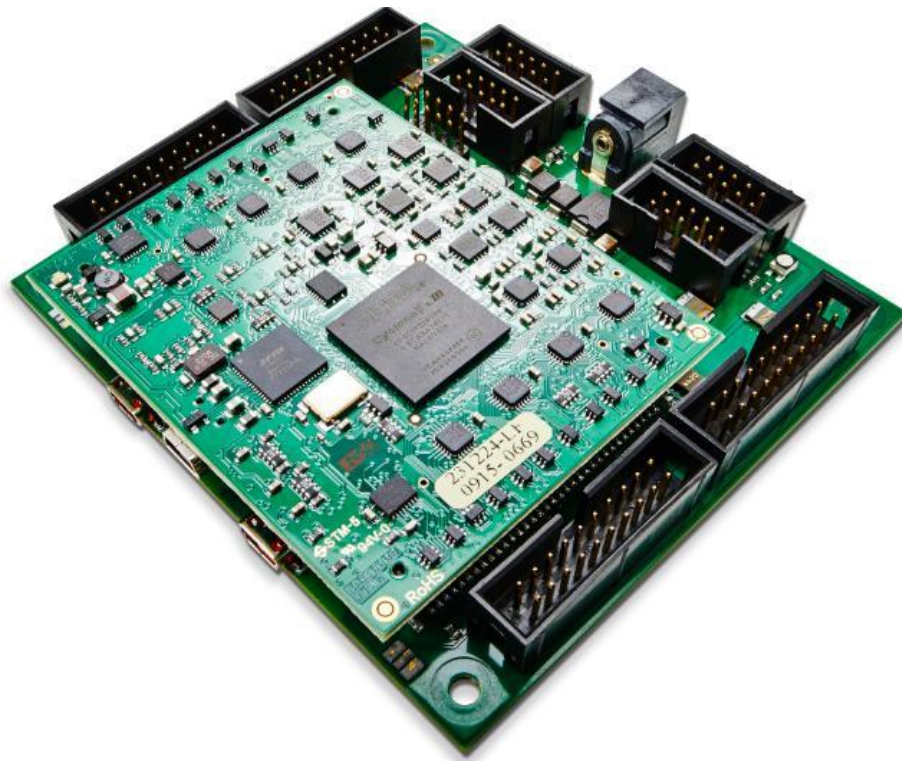


Контроллер имеет 2 TAP-порта,  
64 канала цифровых IO, 8 аналоговых.  
Плата-переходник может переключать аналоговые  
каналы на большее количество каналов адаптера



## Контроллер JT5705/FXT

Для встраивания в тестовые установки собственного производства



- 2 TAP-порта
- 64 цифровых канала IO
- 8 каналов измерения/стимуляции напряжения
- 16 каналов измерения частоты
- Генератор

We *are* boundary-scan.®





We *are* boundary-scan.®



## JTAG Technologies

Структурное тестирование  
и программирование  
изделий на производстве



Отладка и проверка  
опытных образцов,  
единичные изделия



# JTAG Live Studio



1. Нет конвертации нетлистов (есть только считывание цепей м/компонентами с поддержкой JTAG)
2. Нет моделей компонентов
3. Удобно для отделов разработки и ремонта техники 3-х производителей

We *are* boundary-scan.®

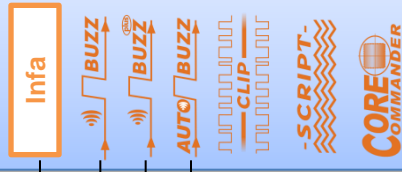


BSDL

Выводы JTAG-компонентов

Проект

Инструменты



Интерпретатор

ГИП

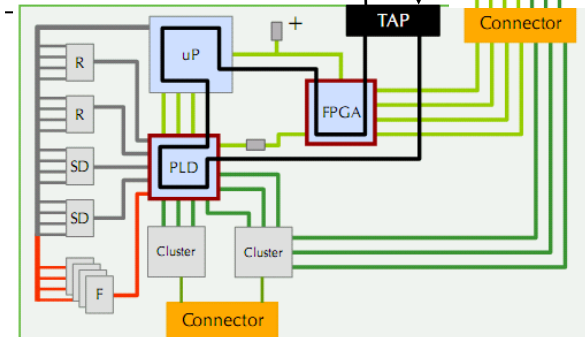
JTAG Live Controller



JT3705 USB

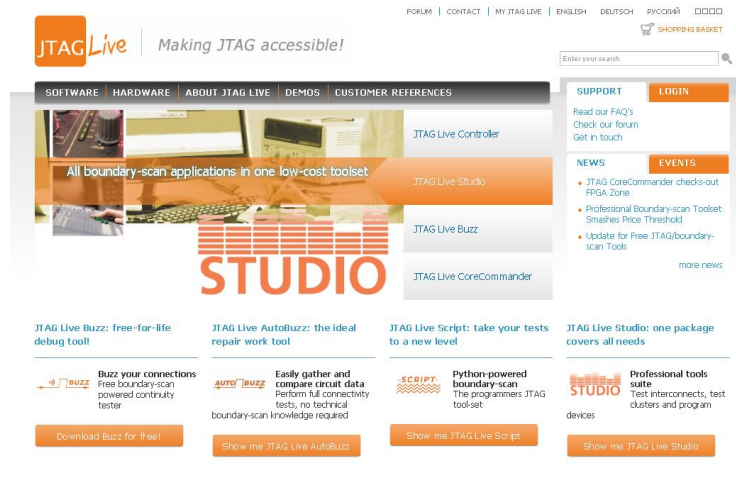


Digital I/O scan module



We *are* boundary-scan.®

# Стоимость различных JTAG-средств



## Совместимые контроллеры



- JTAG Live Controller - 1 TAP-порт
- Altera USB Blaster – 1 TAP-порт
- Xilinx USB cable - 1 TAP-порт
- Микросхема FTDI 2232 – 1 TAP-порт
- JTAG Technologies JT 3705/USB – 2 TAP-порта
- JTAG Technologies JT 37x7 DataBlaster - 4 TAP-порта



## Что можно протестировать?

Altera Cyclone III (JTAG)

NXP LPC2468 (JTAG)

Micron DDR2 ОЗУ

Флэш-ПЗУ SPI

Логические микросхемы

Контроллер TouchScreen

USB-контроллер

PHY-контроллер

Акселерометр I2C

Светодиоды RGB

Темп. Датчик I2C



AutoBuzz



Clip

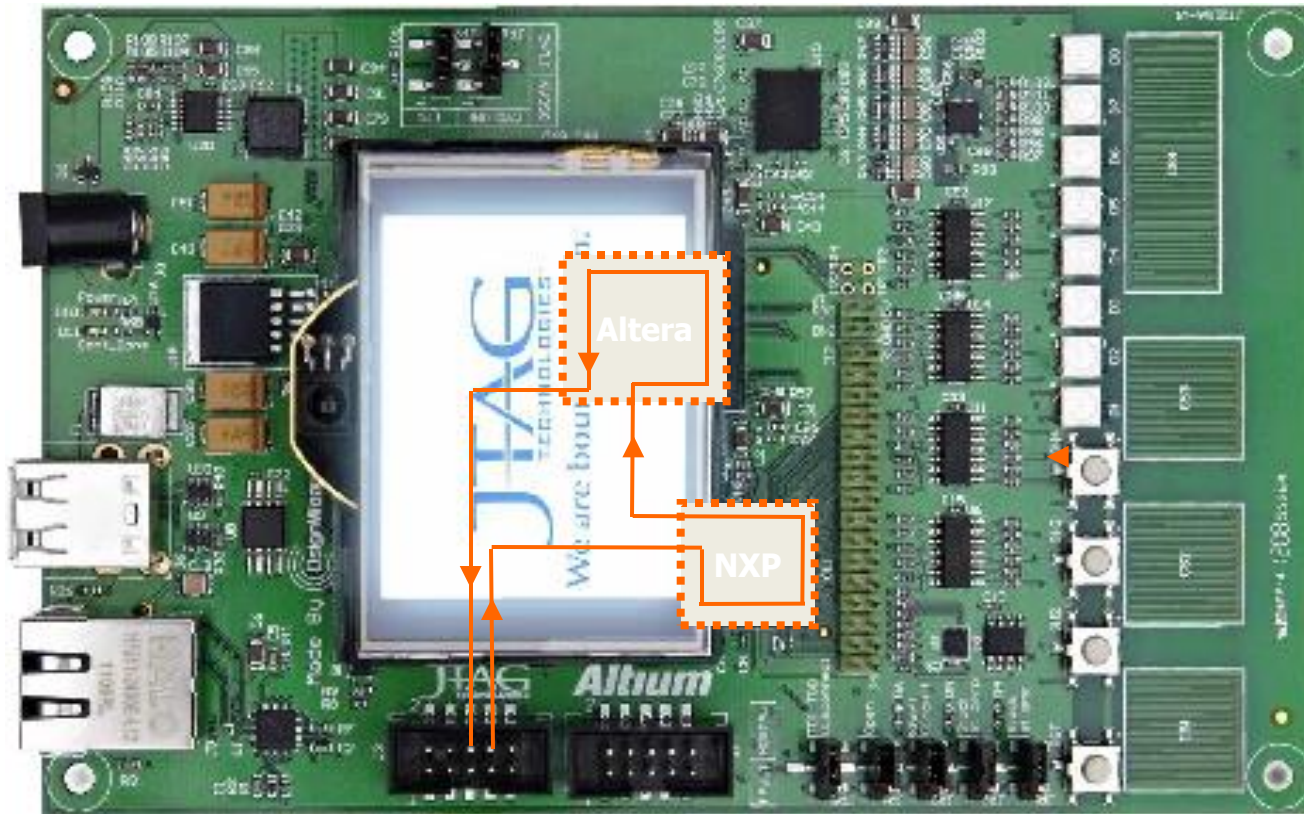


Script



We *are* boundary-scan.®

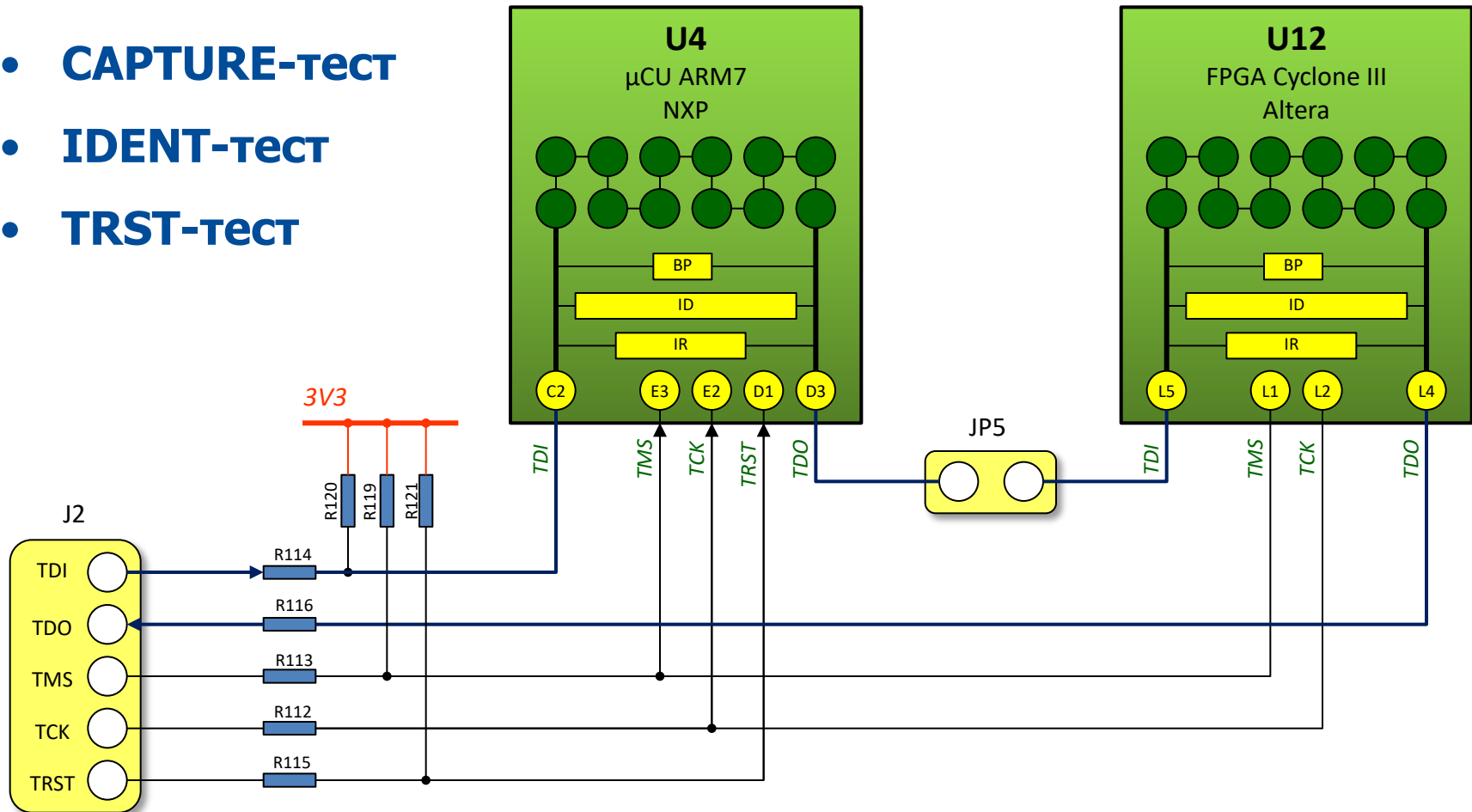
# Инфраструктура JTAG



## Автоопределение JTAG-цепочки

# Тестирование инфраструктуры

- **CAPTURE-тест**
- **IDENT-тест**
- **TRST-тест**



# Результат

The screenshot displays the JTAG software interface. On the left is a tree view of the test setup, including sections for Prozvон, Buzz, Auto, and LEDs, each containing Boards and Devices sub-sections. The Devices sub-sections list TAP1 - TDI, U4, U12, and TAP1 - TDO. The main window shows test results for three tests: CAPTURE Test, IDENT Test, and TRST Test. A dialog box titled 'Состояние выполнения: infra: Инфраструктура' is overlaid on the results, displaying the word 'Успешно' (Successful) in large black text on a green background, with an 'OK' button below it. At the bottom of the interface, it shows 'Ошибки: 0' (Errors: 0).

T-TAP	Chain	Device	Register	CAPTURE Test
1	TAP1	U12	IR	0101010101
		U4	IR	001
		Flag	IR-pattern	1111111111100000000000

T-TAP	Chain	Device	Register	IDENT Test
1	TAP1	U12	ID	000000100000111110010000011011101
		U4	ID	100X0000000111110000000000101011

T-TAP	Chain	Device	Register	TRST Test
1	TAP1	U12	IR	010101010-
		-		1
		U4	ID	100X0000000111110000000000101011

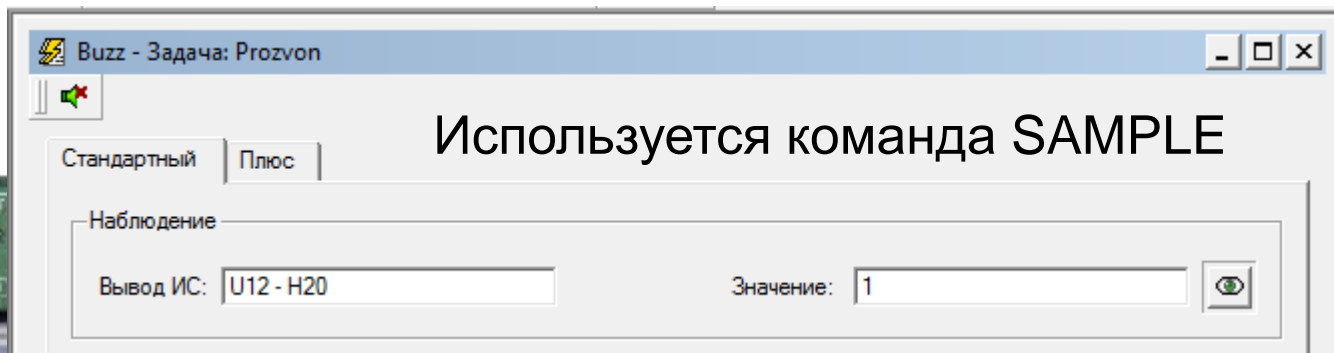
Состояние выполнения: infra: Инфраструктура

**Успешно**

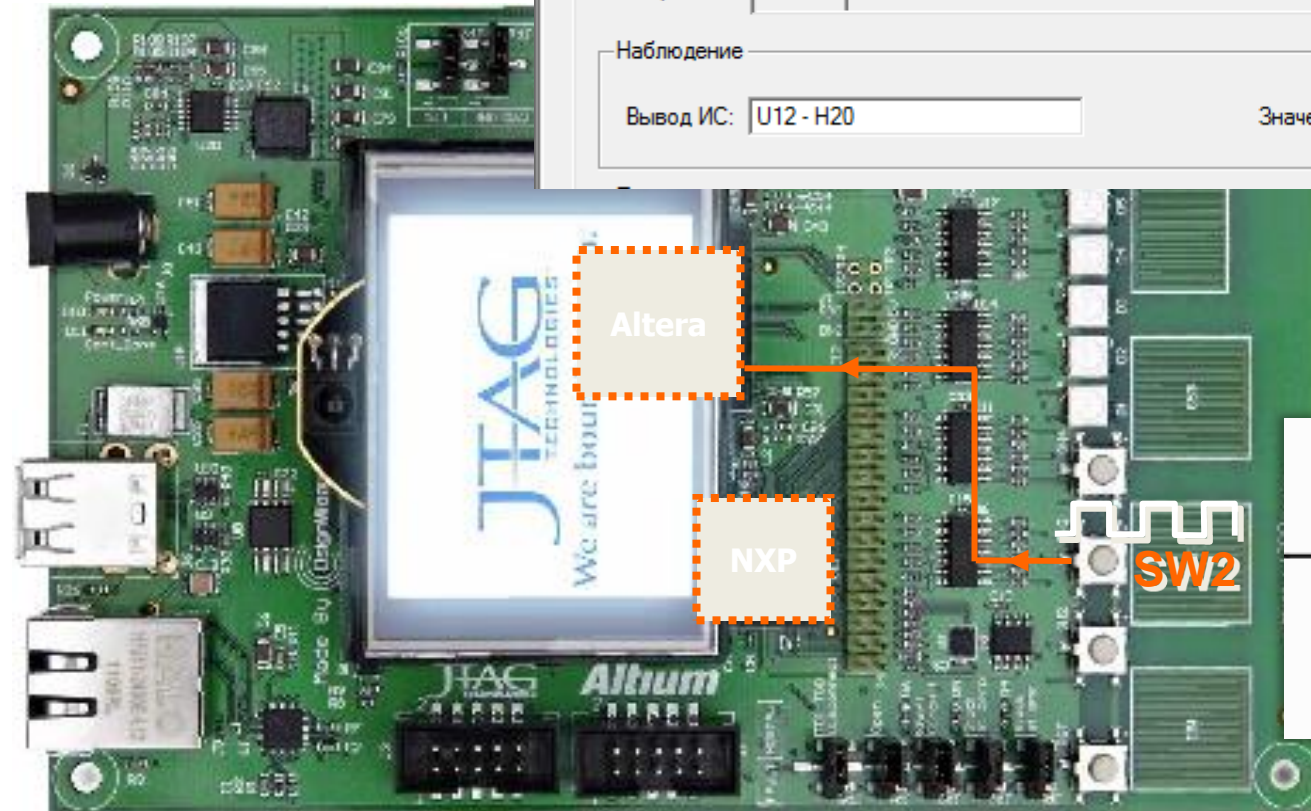
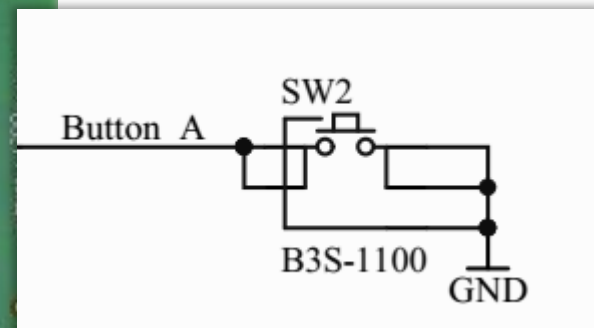
OK

Ошибки: 0

# Мониторинг значения на пине

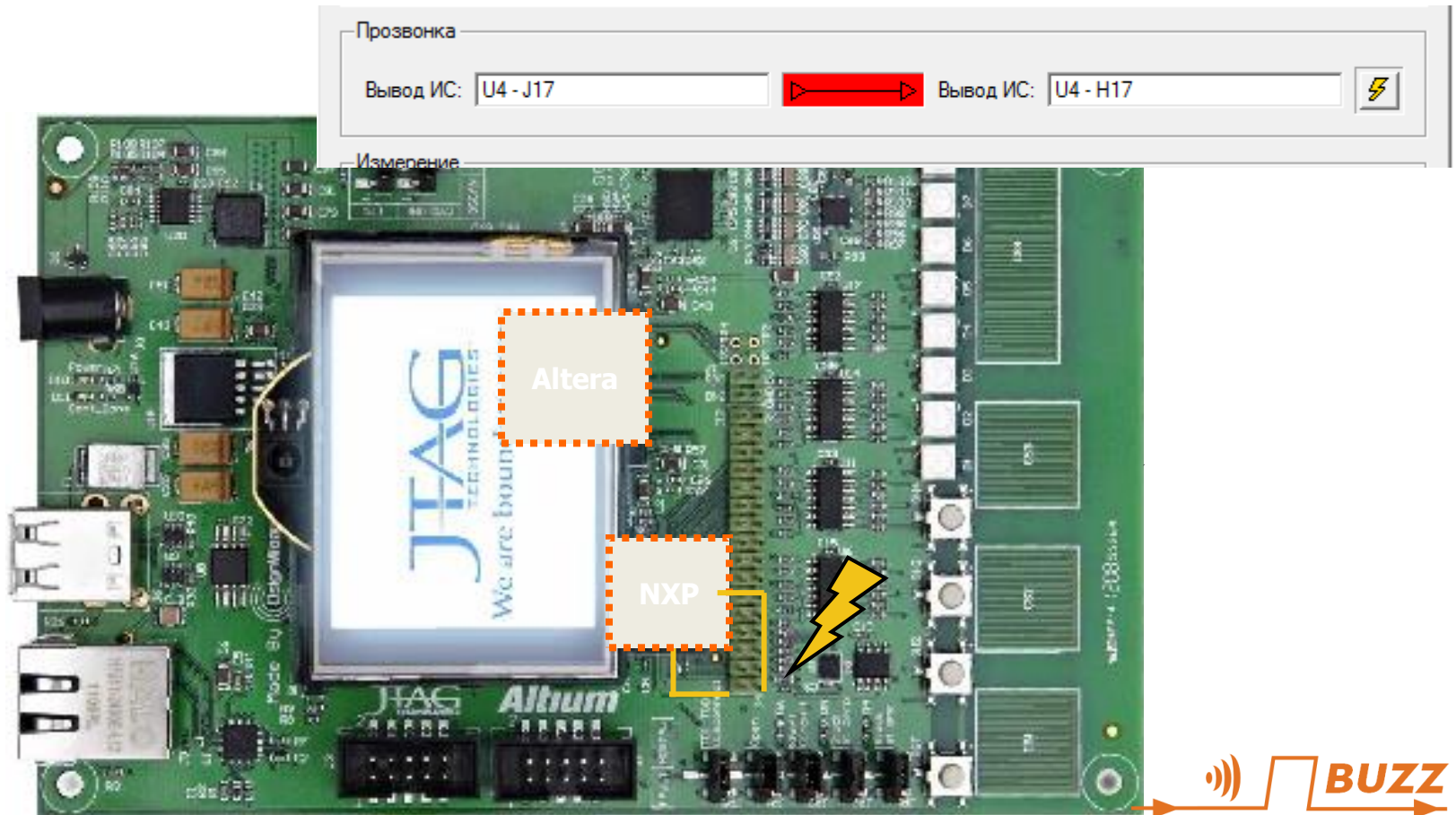


Значение меняется в зависимости от состояния кнопки





# Прозвонка в стиле мультиметра



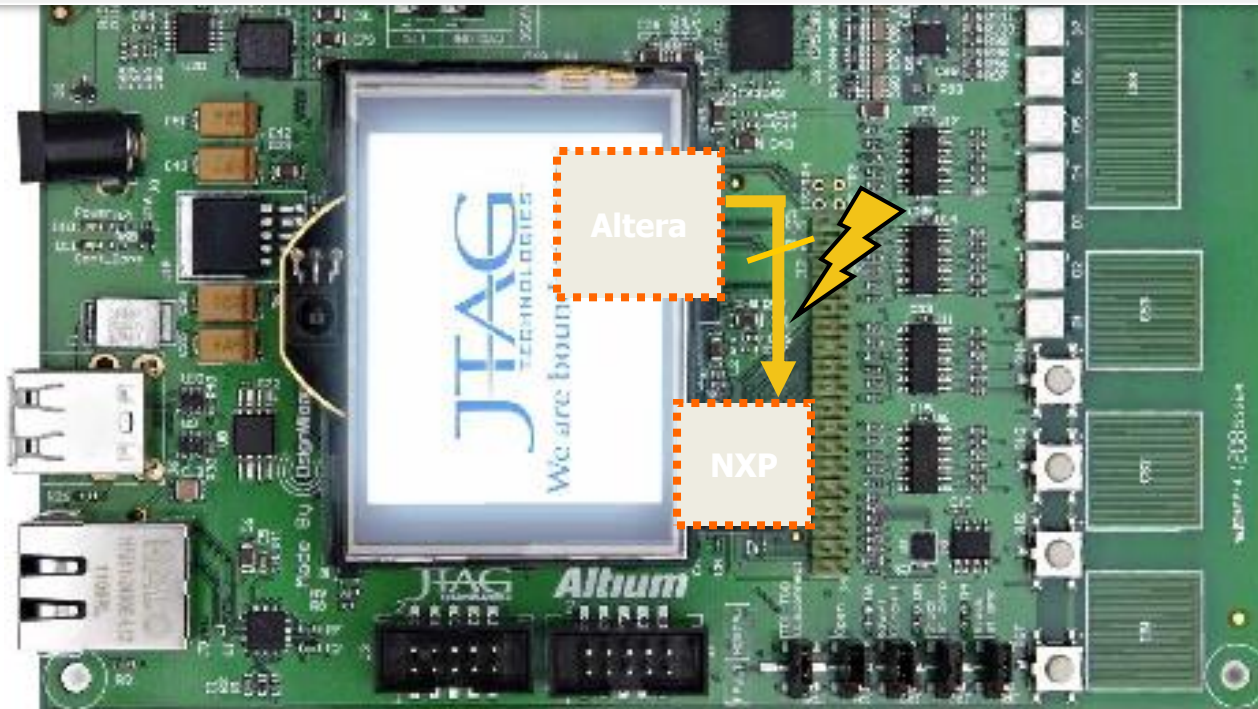


We *are* boundary-scan.®

# Тестирование шины в ручном режиме

Измерение

# Компонент	Выход ИС	Значение (Управляющее)		Компонент	Выход ИС	Значение (Считанное)
U12	R15	1		U4	L16	0
U12	R16	0		U4	P9	1
U12	R17	Z				

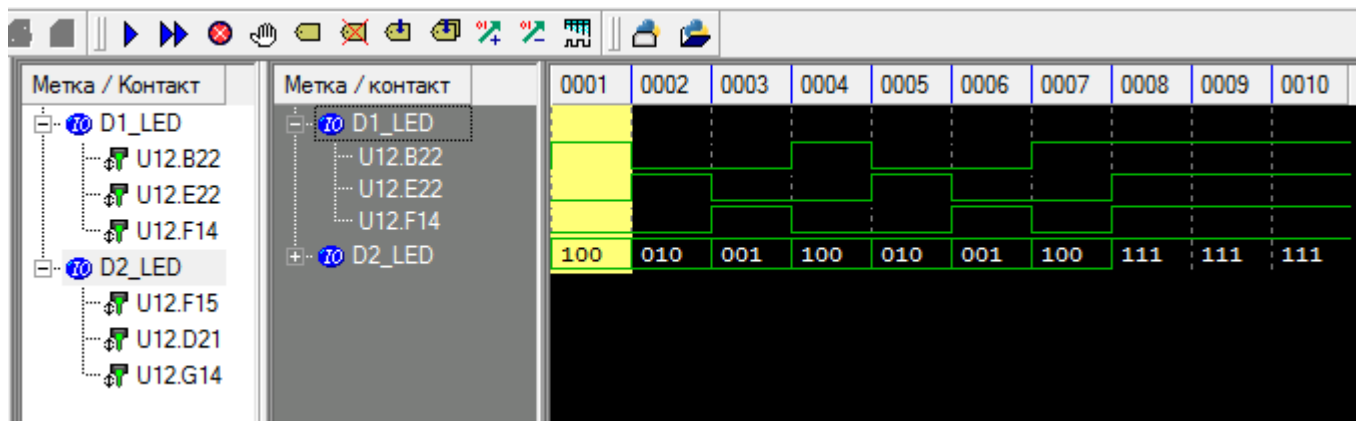


**Все возможности, показанные в предыдущих слайдах, – это бесплатная версия программы (JTAG Live Buzz):**

**[www.jtaglive.ru](http://www.jtaglive.ru)**

## CLIP: простой логический анализатор

- Выставляет и считывает созданные вручную векторы с пинов компонентов, поддерживающих периферийное сканирование
- Векторы можно создавать в bin, hex, dec
- Можно сохранять считанную сигнатуру
- Есть графическое представление тестовых векторов в стиле логического анализатора



We *are* boundary-scan.\*

## Делаем «гирлянду» с помощью CLIP

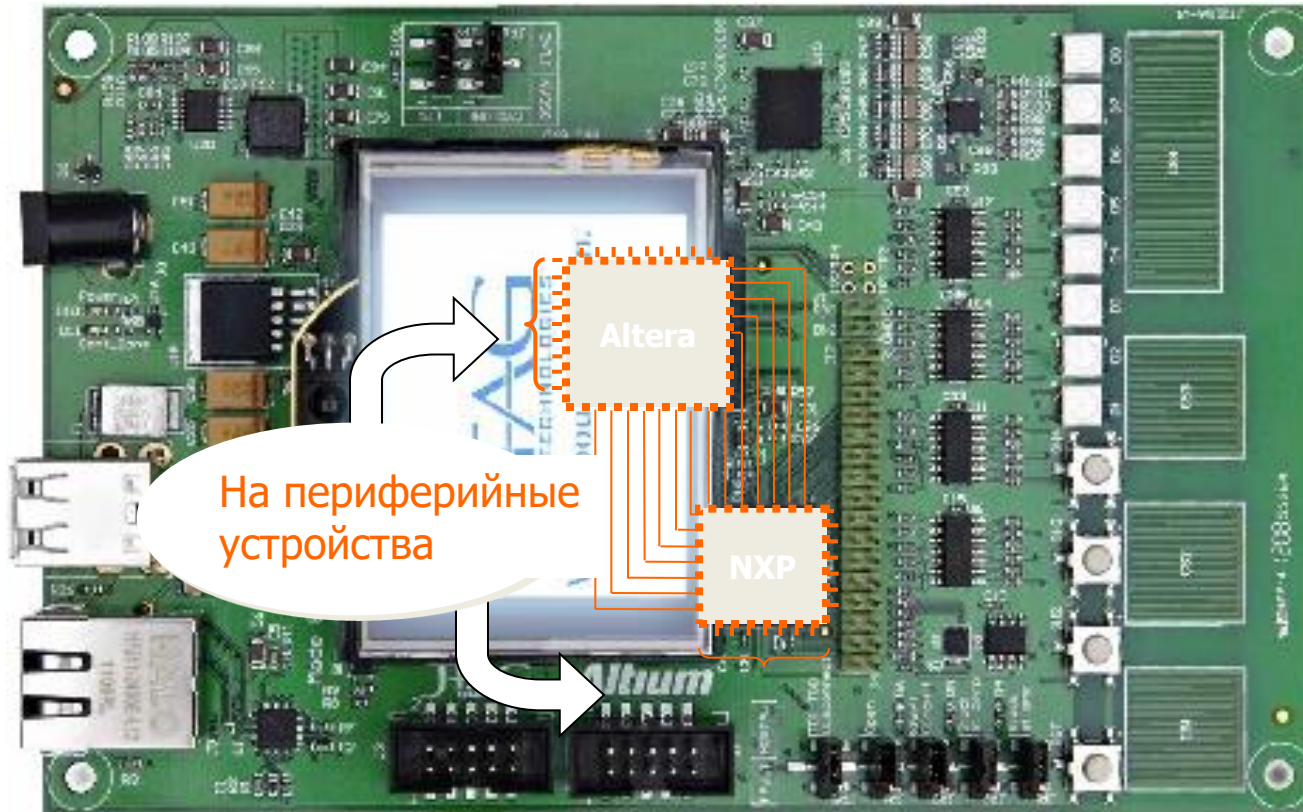
Метка / Контакт	D1_LED	D2_LED
0001	100	100
0002	010	010
0003	001	001
0004	100	100
0005	010	010
0006	001	001
0007	100	100
0008	111	111
0009	111	111

Светодиоды подключены к выводам Altera





# AutoBuzz: считывание связей и сравнение



We *are* boundary-scan.\*

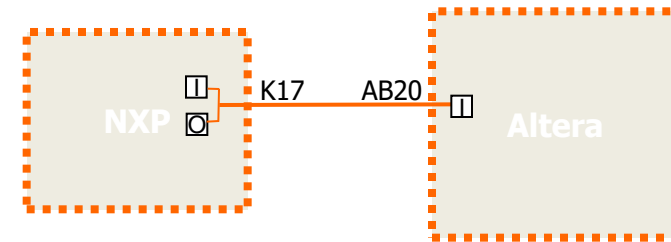
# Изучение и сравнение

## Шаг 1 - изучение

Подключения

Управляющий контакт		Считывающий контакт	Резу. ▲
U4.J3	▶	▶	U4.J3
U4.J14	▶	▶	U4.J14
		▶	U12.U22
U4.J15	▶	▶	U12.V15
		▶	U4.J15
U4.J16	▶	▶	U12.AA20
		▶	U4.J16
U4.J17	▶	▶	U4.J17
U4.K14	▶	▶	U12.V16
		▶	U4.K14
U4.K15	▶	▶	U4.K15
		▶	U12.U15
U4.K17	▶	▶	U12.AB20
		▶	U4.K17
U4.L1	▶	▶	U12.U20
		▶	U4.L1

Обычные  Сами на себя  Всегда 1  Всегда 0



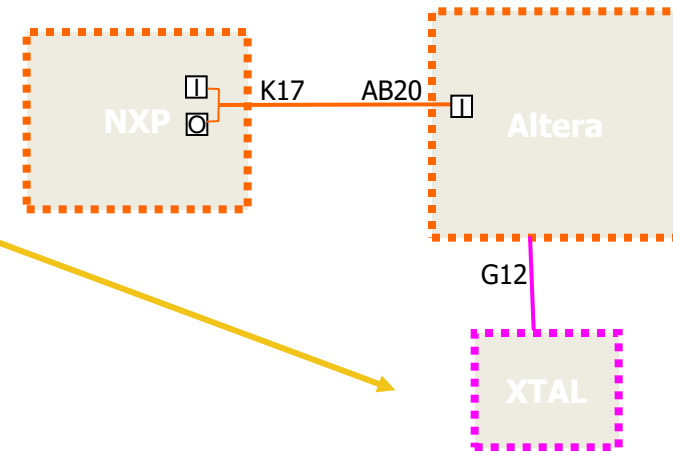


# Изучение и сравнение

## Шаг 2: Повторное изучение и сравнение с предыдущим результатом

Подключения

Управляющий контакт	Считывающий контакт	Результат
U12.Y6	U12.Y6	V
U12.Y7	U12.Y7	V
U12.Y8	U12.Y8	V
U12.Y10	U12.Y10	V
	U4.F3	V
U12.Y13	U12.G2	X
	U12.Y13	V
	U4.U16	V
U12.Y17	U4.M15	V
	U12.Y17	V
U12.Y21	U4.R8	V
	U12.Y21	V
U12.Y22	U12.Y22	V
	U4.P7	V
U12.R10	U12.G2	+
U12.D19	U12.G2	+
U12.H9	U12.G2	+



?

# JTAG Live Script

- Основан на встроенном языке программирования Python
- Готовые библиотеки позволяют работать с выводами JTAG-компонентов платы и выполнять операции установки на них лог. данных, считывания данных с цепей, организовывать шины и многое другое

## Примеры готовых функций Script

**DriveLow(VarName)** – устанавливает лог. 0 на указанном пине.

Примеры: *DriveLow("D201.B2(8)")*, *DriveLow("Decoder.G1")*

**DriveHigh(VarName)** – устанавливает лог. 1 на указанном пине.

Примеры: *DriveHigh("D201.B2(8)")*, *DriveHigh("Decoder.G1")*

**DeclareGroup(GrpName, GroupMemberList)** – позволяет создать шину из выбранных пинов JTAG-микросхемы или кластера.

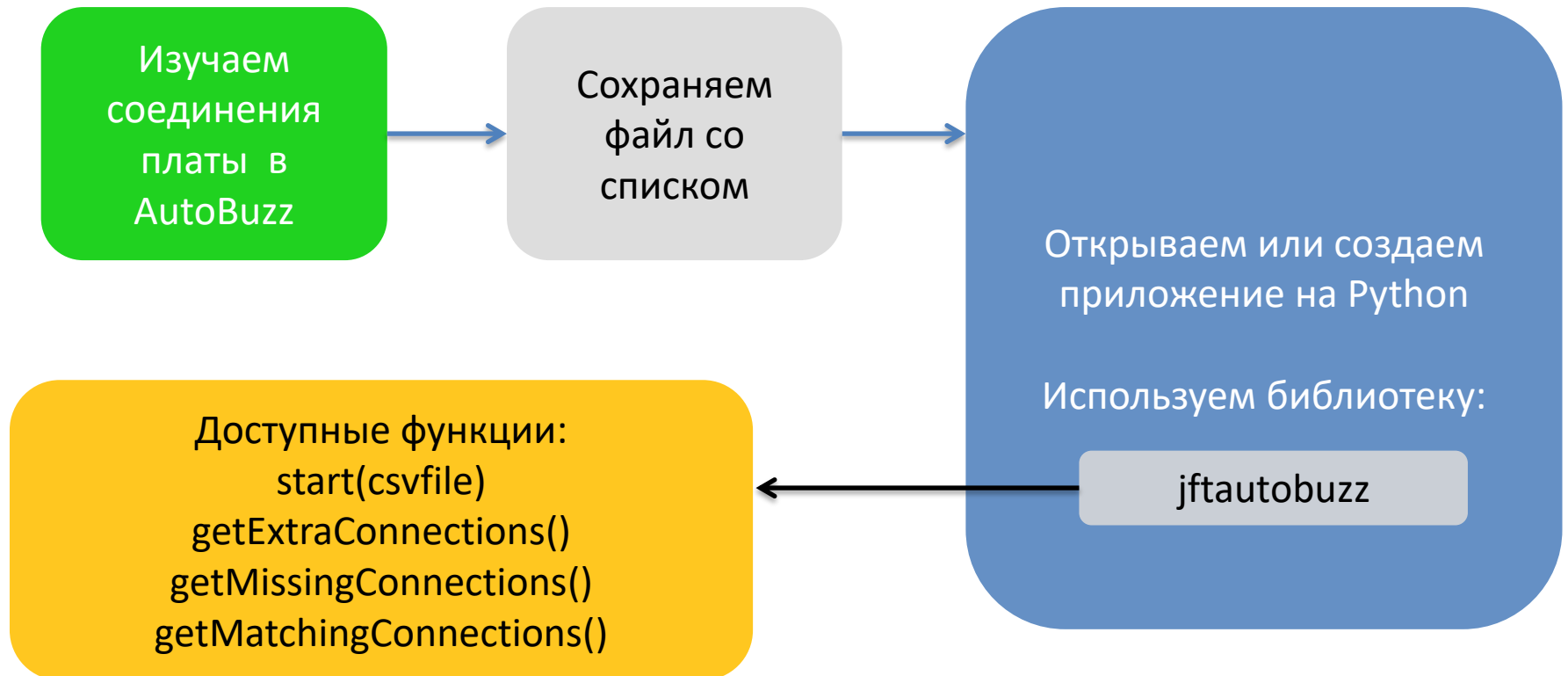
Пример: *DeclareGroup("D301.ADDRESS",["D301.A15","D301.A14","D301.A13","D301.A12","D301.A11","D301.A10","D301.A9","D301.A8","D301.A7","D301.A6","D301.A5","D301.A4","D301.A3","D301.A2","D301.A1","D301.A0"])*

**GetGroup(GrpName)** – позволяет считать данные с созданной ранее шины.

Пример: *a = GetGroup("Decoder.OUTPUTS")*

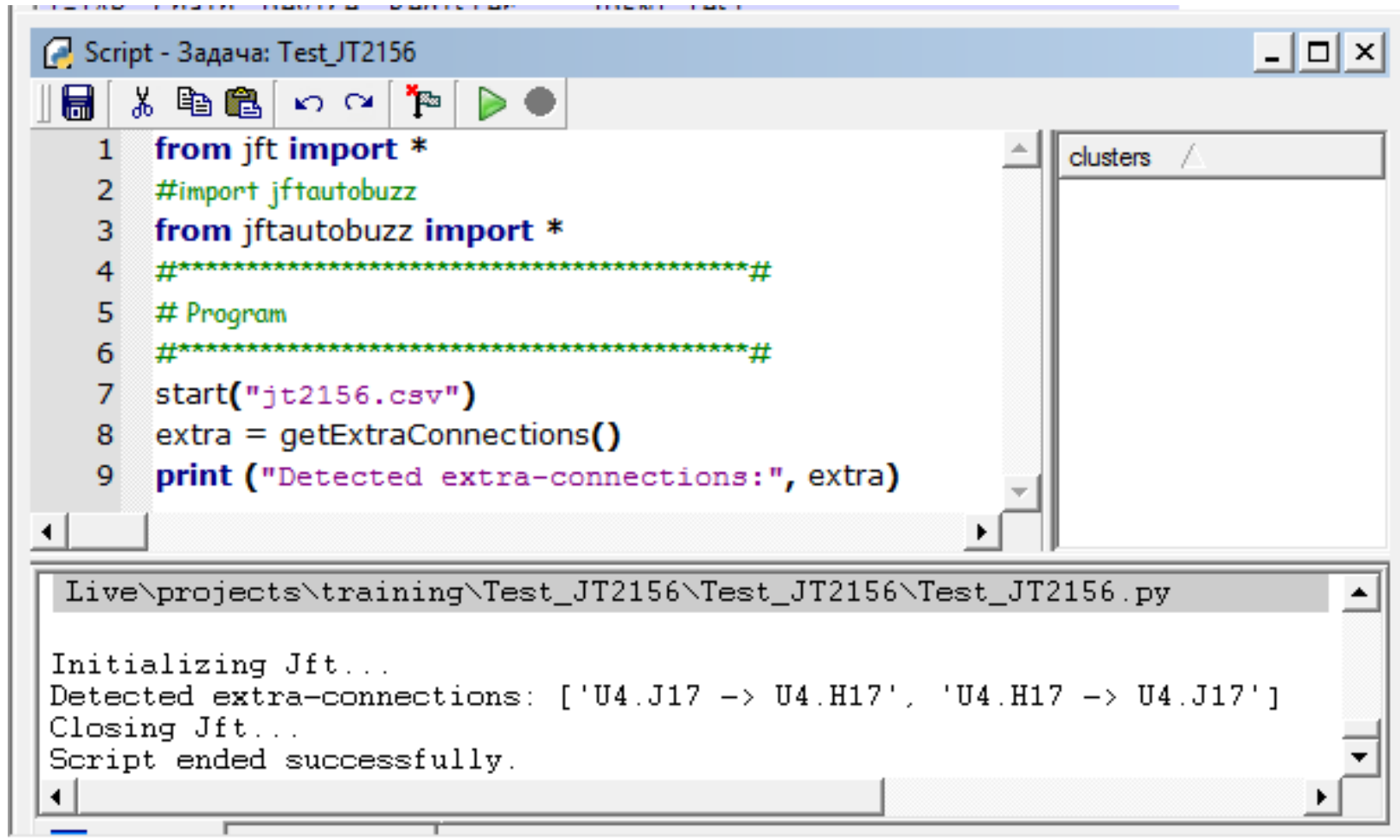
## Использование AutoBuzz в Script...

... А, значит, и в общей тестовой последовательности, которую создадим



We *are* boundary-scan.\*

## Использование AutoBuzz в Script...



The screenshot shows a Python script editor window titled "Script - Задача: Test\_JT2156". The script contains the following code:

```
1 from jft import *
2 #import jftautobuzz
3 from jftautobuzz import *
4 #*****#
5 # Program
6 #*****#
7 start("jt2156.csv")
8 extra = getExtraConnections()
9 print ("Detected extra-connections:", extra)
```

The output window at the bottom shows the following execution results:

```
Live\projects\training\Test_JT2156\Test_JT2156\Test_JT2156.py
Initializing Jft...
Detected extra-connections: ['U4.J17 -> U4.H17', 'U4.H17 -> U4.J17']
Closing Jft...
Script ended successfully.
```

## Аппаратные средства

Контроллер JTAG Live  
(входит в комплект Studio)



Контроллер JT3705/USB  
(два TAP-порта, удобно для  
сложных плат)



Модуль JT2111/MPV

- Подключается к контроллеру
- 64 тестовых цифровых канала



Модуль JT5112

- Подключается к контроллеру
- Цифровые и аналоговые тестовые каналы
- Аналоговые измерения через библиотеки Script



We *are* boundary-scan.®



Спасибо за внимание!